

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

HIGH POWER FACTOR SWITCHING REGULATOR AND POWER SUPPLY INCLUDING SWITCHING REGULATOR

Patent Number: JP10257767
Publication date: 1998-09-25
Inventor(s): HAYASHI YUKITO; MASUYAMA SATORU; HAMAOGI MASAHIRO; YOKOOJI SHIGENORI; ISHII KOJI
Applicant(s): HITACHI COMPUTER PERIPHERALS CO LTD
Requested Patent: ☐ JP10257767
Application Number: JP19970053679 19970307
Priority Number(s):
IPC Classification: H02M3/28 ; H02J3/18 ; H02M3/335 ; H02M7/06
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a switching regulator and a power supply in which the power factor is enhanced and noise characteristics are improved while decreasing the number of components.

SOLUTION: A flyback transformer system switching regulator comprises a power storage control circuit 503 and a power discharge control circuit 502 for controlling storage and discharge of power into/from a power storage capacitor C61 disposed on the primary of a transformer T61, and a voltage control circuit 506 for converting the primary power of the transformer into a constant secondary voltage. At the peak part of a line voltage, the voltage control circuit 506 supplies a predetermined part of power from an AC line 409 rectified through a rectifier 501 and required by a load 406 to the secondary through the transformer T61 and the storage control circuit stores excess power in the capacitor C61 through a switching element SW 62 depending on the phase angle of the line voltage. At the valley part of the line voltage, the discharging control circuit 502 supplies power stored in the capacitor C61 to the transformer T61 through a switching element SW 63.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-257767

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 2 M	3/28	H 0 2 M	3/28 U
			H
H 0 2 J	3/18	H 0 2 J	3/18 D
H 0 2 M	3/335	H 0 2 M	3/335 F
	7/06		7/06 G
審査請求 未請求 請求項の数31 O L (全 73 頁) 最終頁に続く			

(21) 出願番号 特願平9-53679

(22) 出願日 平成9年(1997) 3月7日

(71) 出願人 000233033

日立コンピュータ機器株式会社
神奈川県小田原市国府津2880番地

(72) 発明者 林 幸登

神奈川県足柄上郡中井町境781 日立コン
ピュータ機器 株式会社内

(72) 発明者 増山 悟

神奈川県足柄上郡中井町境781 日立コン
ピュータ機器 株式会社内

(72) 発明者 浜荻 昌弘

神奈川県足柄上郡中井町境781 日立コン
ピュータ機器 株式会社内

(74) 代理人 弁理士 秋本 正実

最終頁に続く

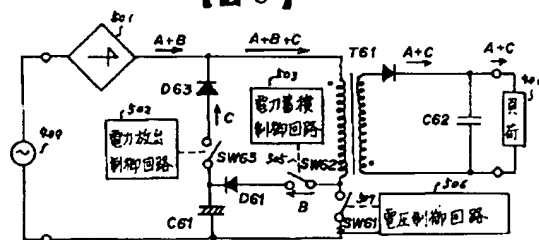
(54) 【発明の名称】 高効率スイッチングレギュレータ及び該スイッチングレギュレータを含む電源装置

(57) 【要約】

【課題】 スイッチングレギュレータ及び電源装置における高効率／部品点数の削減／低ノイズの特性の改善。

【解決手段】 フライバックトランス方式のスイッチングレギュレータにおいて、電力を蓄積する電力蓄積コンデンサC61をトランスT61の1次側に配置し、且つ該コンデンサC61への電力の蓄積及び放出を制御する電力蓄積制御回路503及び電力放出制御回路502並びにトランスの1次側の電力を2次側定電圧出力として変換する電圧制御回路506とを設け、ライン電圧の山の部分においては、ACライン409から整流器501により整流した電力の内、負荷406の必要とする所定の電力を該電圧制御回路506がトランスT61を介してその2次側に供給すると共に、該蓄積制御回路がライン電圧の位相角に応じた余剰電力をスイッチ素子SW62を介してコンデンサC61に蓄積し、ライン電圧の谷の部分においては該放出制御回路502がスイッチ素子SW63を用いてコンデンサC61に蓄積した電力をトランスT61に供給するもの。

【図 5】



【特許請求の範囲】

【請求項1】 ACライン電圧を整流して全波整流ライン電圧を出力する整流器、フライバックトランス、該フライバックトランスを時分割で高周波駆動するためのスイッチ素子、該フライバックトランスの2次側に設けられたダイオードおよび平滑コンデンサより構成されるフライバックトランス方式のスイッチングレギュレータにおいて、

該フライバックトランスの1次側に、電力蓄積コンデンサ、第1のスイッチ素子と同期して動作する第2のスイッチ素子、フライホイールダイオード及び第3のスイッチ素子とを設け、

前記全波整流ライン電圧の山の部分（以下電力蓄積領域という）においては、第1のスイッチ素子により負荷が必要とする所定の電力をフライバックトランスの2次側に変換しながら、全波整流ライン電圧の位相角に応じた余分の電力を、フライバックトランス及び第2のスイッチ素子及びフライホイールダイオードを経由して該電力蓄積コンデンサに蓄積し、

前記全波整流ライン電圧の谷の部分（以下電力放出領域という）においては、第1のスイッチ素子により全波整流ライン電圧の位相角に応じた電力をフライバックトランスの2次側に変換しながら、負荷の必要とする所定の電力に満たない電力の不足分を、電力蓄積コンデンサから第3のスイッチ素子を経由してフライバックトランスに供給することを特徴とする高効率スイッチングレギュレータ。

【請求項2】 請求項1記載のスイッチングレギュレータにおいて、前記第2のスイッチ素子として、フライバックトランスを駆動するハーフブリッジ型構成の第1のスイッチ素子（複数）の片方を共用することを特徴とする高効率スイッチングレギュレータ。

【請求項3】 請求項1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの電力容量を適切に選定することによって、瞬停時エネルギーを貯留する機能を併せ持つことを特徴とする高効率スイッチングレギュレータ。

【請求項4】 請求項1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサおよび該フライホイールダイオードを、該フライバックトランスの寄生リアクタンスに起因して発生するスパイクノイズのアブソーバとして利用することを特徴とする高効率スイッチングレギュレータ。

【請求項5】 請求項1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧を、第1項記載の電力放出領域においては、ライン電圧の瞬時値よりも高く設定することを特徴とする高効率スイッチングレギュレータ。

【請求項6】 請求項1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧の

下限値を出力電圧の1次換算値とし、第1項記載の電力蓄積領域においては上限値をライン電圧の瞬時値と出力電圧の1次換算値の和とすることを特徴とする高効率スイッチングレギュレータ。

【請求項7】 請求項1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧を、出力電圧の1次換算値の2倍に選定することを特徴とする高効率スイッチングレギュレータ。

【請求項8】 請求項1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧を入力電圧系（100V系、200V系など）によって切替えることを特徴とする高効率スイッチングレギュレータ。

【請求項9】 請求項1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧をライン電圧に応じて連続的に変えることを特徴とする高効率スイッチングレギュレータ。

【請求項10】 請求項1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサと第2のスイッチ素子の間にネガティブフィードバック制御ループを形成し、該電力蓄積コンデンサの動作電圧が所定の電圧より低下したとき第2のスイッチ素子の駆動パルス幅を広げ、所定の電圧より上昇したとき駆動パルス幅を狭めるよう制御し、もって該電力蓄積コンデンサの動作電圧を所定の電圧に保つことを特徴とする高効率スイッチングレギュレータ。

【請求項11】 請求項1又は2記載のスイッチングレギュレータにおいて、前記第2及び第3のスイッチ素子を、入力電流（の時分割周期における平均値）をライン電圧の瞬時値に比例する様に制御することを特徴とする高効率スイッチングレギュレータ。

【請求項12】 請求項1又は2記載のスイッチングレギュレータにおいて、前記第2のスイッチ素子を、ライン電圧を $\cos\theta$ なる余弦波とするととき $\cos\theta$ に応じた余分の電力を該電力蓄積コンデンサに蓄積する様に制御することを特徴とする高効率スイッチングレギュレータ。

【請求項13】 請求項12項記載のスイッチングレギュレータにおいて、前記第2のスイッチ素子を、電力蓄積領域と電力放出領域の境界点の位相角を指す値を κ としたとき、 $(\cos\theta - \cos\kappa)$ に比例するパルス幅を生成することにより制御することを特徴とする高効率スイッチングレギュレータ。

【請求項14】 請求項13記載のスイッチングレギュレータにおいて、前記第2のスイッチ素子を $K(\cos\theta - \cos\kappa)$ なるパルスデューティを生成して制御し、比例定数 K をライン電圧のピーク値に比例した電圧成分とライン電圧に独立した定電圧成分を積分器に入力することによって実現することを特徴とする高効率スイッチングレギュレータ。

【請求項15】 請求項1又は2記載のスイッチングレ

ギュレータにおいて、前記第1のスイッチ素子を、ライン電圧を $\cos\theta$ なる余弦波とするととき電力放出領域において $\cos\theta$ に比例したパルス幅を生成することにより制御することを特徴とする高力率スイッチングレギュレータ。

【請求項16】 請求項15記載のスイッチングレギュレータにおいて、前記第1のスイッチ素子を $J\cos\theta$ なるパルスデューティを生成して制御し、比例定数 J をライン電圧のピーク値に比例した電圧成分とライン電圧に独立した定電圧成分を積分器に入力することによって実現することを特徴とする高力率スイッチングレギュレータ。

【請求項17】 請求項1又は2記載のスイッチングレギュレータにおいて、前記電力蓄積領域と電力放出領域の境界点として、ライン電圧を余弦波とした場合の $\pm\pi/4$ の位相に選定することを特徴とする高力率スイッチングレギュレータ。

【請求項18】 請求項1又は2記載のスイッチングレギュレータにおいて、前記電力放出領域中の時分割動作において、時分割周期の最初に第3のスイッチ素子を駆動し、続いて第1のスイッチ素子を駆動することを特徴とする高力率スイッチングレギュレータ。

【請求項19】 請求項18記載のスイッチングレギュレータにおいて、ライン電圧を $\cos\theta$ なる余弦波とするととき第3のスイッチ素子を $(\cos\kappa - \cos\theta)$ に比例するパルス幅を生成することによって制御することを特徴とする高力率スイッチングレギュレータ。

【請求項20】 請求項18記載のスイッチングレギュレータにおいて、第3のスイッチ素子を $(2/3)(\cos\kappa - \cos\theta)$ なるパルスデューティを生成して制御することを特徴とする高力率スイッチングレギュレータ。

【請求項21】 請求項18記載のスイッチングレギュレータにおいて、第3のスイッチ素子を駆動するパルスデューティを出力電圧の誤差増幅器の出力によって調整することを特徴とする高力率スイッチングレギュレータ。

【請求項22】 請求項1又は2記載のスイッチングレギュレータにおいて、ライン電圧を余弦波とし、前記電力蓄積領域と電力放出領域との境界点の位相角を κ とし、且つ起動時間を τ としたとき、起動時における出力電圧の1次換算値 $E'_{\text{o}}(t)$ を、 $(t/\tau)E\cos\kappa$ ($0 \leq t \leq \tau$)なる時間の関数を目標値として制御することを特徴とする高力率スイッチングレギュレータ。

【請求項23】 請求項1又は2記載のスイッチングレギュレータにおいて、前記電力蓄積コンデンサの起動時の動作電圧を、時間と共に上昇する出力電圧に比例させることを特徴とする高力率スイッチングレギュレータ。

【請求項24】 請求項1又は2記載のスイッチングレギュレータを複数含む電源装置であって、該複数のスイッチングレギュレータの第1のスイッチ素子を駆動する

制御回路のクロックを同一位相に同期化すると共に、前記電力蓄積コンデンサ、第3のスイッチ素子及びその制御回路を複数のスイッチングレギュレータにて共用することを特徴とする電源装置。

【請求項25】 請求項1又は2記載のスイッチングレギュレータを複数含む電源装置であって、該複数のスイッチングレギュレータを、同一電圧を出力し、且つ出力電流がほぼバランスするように2組に分割し、各組のスイッチングレギュレータの第1のスイッチ素子を駆動する制御回路のクロックの位相を $1/2$ 周期ずらして同期化し、フライバックトランスの出力電流の位相が互いに $1/2$ 周期ずれたレギュレータ出力を互いに突き合わせて接続することを特徴とする電源装置。

【請求項26】 請求項25記載の電源装置であって、前記複数のスイッチングレギュレータが、前記電力蓄積コンデンサ及び第3のスイッチ素子並びに制御回路を共用することを特徴とする電源装置。

【請求項27】 請求項1又は2記載のスイッチングレギュレータを複数含む電源装置であって、該スイッチングレギュレータを、同一電圧を出力する n 組に分割し、各組のスイッチングレギュレータの第1のスイッチ素子を駆動する制御回路のクロックの位相を $1/n$ 周期ずらして同期化し、フライバックトランスの出力電流の位相が互いに $1/n$ 周期ずれたレギュレータ出力を互いに突き合わせて接続することを特徴とする電源装置。

【請求項28】 請求項1又は2記載のスイッチングレギュレータにおいて、所定容量の半分の電力容量を持つ100V回路用フライバックトランスを2つ用意し、該両フライバックトランスの2次側ダイオード出力を並列接続し、入力電圧を検出して100V入力電圧の場合は、この1次側を並列接続し、200V入力電圧の場合は2次側を直接接続するスイッチ素子を設けたことを特徴とするスイッチングレギュレータ。

【請求項29】 請求項1又は2記載のスイッチングレギュレータにおいて、前記フライバックトランスの2次側に設けたダイオードの代わりにMOSトランジスタを同期整流方式で接続することを特徴とするスイッチングレギュレータ。

【請求項30】 ACライン電圧を整流器により整流して全波整流ライン電圧を生成し、該全波整流ライン電圧をトランスに供給し、この供給電力のうち負荷に必要な所定の電力を該トランスの2次側に変換すると共に、負荷に必要な所定電力を差し引いた余剰電力を該トランス1次側電流の直流重畳機能によって電力蓄積コンデンサに蓄積するスイッチングレギュレータであって、前記電力蓄積コンデンサをトランスの1次側に配置すると共に、該トランスに供給する電力のうち前記所定電力を2次側に変換する電圧制御回路と、前記電力蓄積コンデンサへの電力蓄積を制御する電力蓄積制御回路と、該コンデンサに蓄積された電力をトランスに再供給する電

力放出制御回路とを設け、
全波整流ライン電圧の凸部においては、該電圧制御回路がトランスに供給する全波整流ライン電圧のうち負荷に必要な所定電力を2次側に変換する共に、該電力蓄積制御回路が前記余剰電力を電力蓄積コンデンサに蓄積し、全波整流ライン電圧の凹部においては、全波整流ライン電圧の位相角に応じた電力を全波整流ライン電圧としてトランスに供給し、前記所定電力に満たない不足電力を電力放出制御回路が電力蓄積コンデンサからトランスに供給し、これらトランスに供給される両電力を前記電圧制御回路がトランスの2次側に負荷に必要な所定電力として変換することを特徴とする高効率スイッチングレギュレータ。

【請求項31】 ACライン電圧を整流器により整流して全波整流ライン電圧を生成し、該全波整流ライン電圧をトランスに供給し、この供給電力のうち負荷に必要な所定の電力をトランスの2次側に変換すると共に、負荷に必要な所定電力を差し引いた余剰電力をトランス1次側電流の直流重畳機能によって電力蓄積コンデンサに蓄積するスイッチングレギュレータを複数備える電源装置であって、

前記スイッチングレギュレータが、前記トランスの1次側に配置された電力蓄積コンデンサと、該トランスに供給される電力のうち前記所定電力を2次側に変換する電圧制御回路と、該電力蓄積コンデンサへの電力蓄積を制御する電力蓄積制御回路と、該コンデンサに蓄積された電力をトランスに再供給する電力放出制御回路とを備え、

全波整流ライン電圧の凸部においては、該電圧制御回路がトランスに供給する全波整流ライン電圧のうち負荷に必要な所定電力を2次側に変換する共に、該電力蓄積制御回路が前記余剰電力を電力蓄積コンデンサに蓄積し、全波整流ライン電圧の凹部においては、全波整流ライン電圧の位相角に応じた電力を全波整流ライン電圧としてトランスに供給し、前記所定電力に満たない不足電力を電力放出制御回路が電力蓄積コンデンサからトランスに供給し、これらトランスに供給される両電力を前記電圧制御回路がトランスの2次側に負荷に必要な所定電力として変換することを特徴とする電源装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高調波歪みの少ないスイッチングレギュレータ及び該スイッチングレギュレータを含む電源装置に係り、特に1コンバタ方式で高効率のスイッチングレギュレータ及び該スイッチングレギュ

レータを複数備える電源装置に関する。

【0002】

【従来の技術】一般にスイッチングレギュレータは、電力変換効率が高く小形・軽量化できるため民生機器及び産業機器を問わず広く利用されている。しかし、スイッチングレギュレータが普及するに伴って、商用電源ラインに流れる高調波電流に起因する電子機器や送変電設備に各種の障害が発生し、一種の社会問題として顕在化してきている。

【0003】このような問題に対処するために、高調波電流を削減できる高効率スイッチングレギュレータの各種の方式が提案され、実用化されている。しかし、それぞれ一長一短があり、用途に応じて使い分けられているのが現状である。

【0004】

【発明が解決しようとする課題】以下、従来技術によるスイッチングレギュレータの構成乃至課題について説明する。

(A) アクティブフィルタ方式の説明：これらの方式の中でも比較的広く利用されているアクティブフィルタ方式の高効率スイッチングレギュレータの基本回路を図1に示す。この回路の主要な構成要素は、整流部101、突入制御回路部102、アクティブフィルタ部103、フォワードコンバータ部104から構成され、整流部101がACライン110からのACライン電力を整流器111が整流し、この整流した凸形状が連続する全波整流ライン電力に対し、突入抑制回路112及び制御回路113からなる突入抑制回路部102が電源投入時の突入電流を防止しつつ、該電力をアクティブフィルタ部103によってスイッチ素子SW13と力率制御回路114とにより力率を制御しながらコンデンサC11に一旦蓄積し、この蓄積した電力をフォワードコンバータ部104のトランスT11の電流をスイッチ素子SW11及びSW12により入り切りし、且つ該スイッチ素子SW11及びSW12の動作を電圧制御回路128によりフィードバック制御することにより、負荷130が必要とする所定電力を過電流保護回路129により過電流を監視しながら供給する様に構成されている。

【0005】このアクティブフィルタ方式のスイッチングレギュレータの特性は、表1の左端に示す如く、力率が論理的には100%近いものの回路構成の複雑さからみれば部品点数が多く、回路構成が複雑で原価が割高となると共にノイズが大きいことが挙げられる。

【0006】

【表1】

【表1】

No.	比較項目		方式	アクティブ フィルタ方式 (図1、図4(a))	フライバックトランス方式 (図2、図4(b))	本発明の方式 図6、図5		
1	力 率			理論的には100%を狙える	90%前後	略100%を狙える		
2	回路構成の複雑さ	トランス類(T) リアクタ(L) スイッチ(SW) ダイオード(D) コンデンサ(C) 抵抗(R)	1	計13	1	計8	1	計10
2			0		0			
3			2		3			
5			2		2			
2			2		2			
0			1		0			
3	突入抑制回路		要		共用		共用	
4	過電流保護回路		要		共用		共用	
5	ノイズ	ノイズの重畳	フィルタ部とコンバータ部で重畳		無		無	
6		フライバックダイオードの逆短絡電流	有		無		無	
7	効 率	電力変換に必要なスイッチング回数	2 回		1 回		等価的には約1.3回	
8		サージアブソーバの損失	小		大		小	
9	出力電力容量への制限要因	出力電圧のライン周波数リップル	無		(瞬停時44%の貯留も不可)		無	
10		2次側平滑コンデンサの高周波リップル電流	無		大		大 → 中	

【0007】例えばこのアクティブフィルタ方式のものは、部品点数がアクティブフィルタ部103とフォワードコンバータ部104で構成される主要部の電力素子数が13とやや多い(表1、NO.2)。更にその前段には突入抑制回路を必要とし(表1、NO.3)、過電流保護回路も別に必要とする(表1、NO.4)。

【0008】更に本方式回路は、出力容量を大きく取るためにアクティブフィルタを電流連続モードで動作させた場合、アクティブフィルタ部103のダイオードD13に順電流が流れている間にスイッチ素子SW13がオンし、ダイオードD13が逆回復する前に逆電圧が印加されて逆方向に短絡電流が流れるため、大きなノイズが発生する(表1、NO.6)。

【0009】更に本回路は、アクティブフィルタ部103とフォワードコンバータ部104のスイッチングノイズが重畳することに起因するノイズの問題がもう一つある(表1、NO.5)。即ち、アクティブフィルタ部103の力率制御回路114に使われるクロックとフォワードコンバータ部104の電圧制御回路128に使われるクロックが同期化されていない場合、スイッチ素子SW13のパルスとスイッチ素子SW11及びSW12のパルスが非同期に重畳してスイッチングノイズを倍加させる。尚、両者のクロックが同期していたとしても、例えばパルスの前縁で同期させれば、前縁で同期重畳するとともに後縁でも非同期重畳して、やはりスイッチングノイズが倍加する。特にクロックが同期化されていない場合の非同期重畳ノイズは、測定が困難なことから対策が不十分なまま製品が出荷されて、現地で障害を起こし、更に

悪いことにその原因究明に長時間を要することがままある。

【0010】更に本回路は、アクティブフィルタ部とフォワードコンバータ部で各1回、計2回のスイッチング動作を必要とし、アクティブフィルタ部103のダイオードD13の逆短絡とあいまって電力変換効率を低下させる(表1、NO.7、6)と言う不具合もある。

【0011】(B)フライバックトランス方式の説明
前記アクティブフィルタ方式の問題を解決する方式として図2に示すフライバックトランス方式が提案され、実用化された例がある。本回路は、整流部201及びフライバックコンバータ部202とから構成され、整流部201がACライン203からのACライン電力を整流器204にて整流し、この整流した全波整流ライン電力をフライバックコンバータ部202のトランスT21に接続されるスイッチ素子SW21及びSW22が入り切りし、且つ該スイッチ素子SW21/22の動作を電圧・力率制御回路205により制御しながらフィードバックすることにより、負荷206に所定の電力を供給する様に構成されている。この回路は、一般に広く利用されているコンデンサインプット型フライバックトランス方式から1次側平滑コンデンサ207(図2中破線で示す)を取り除くことによって、力率を向上しようとするものである。

【0012】このフライバックトランス方式の回路の特性は、表1の中央に示す如く、主要部の電力素子数が8となって図1の方式に比べて40%近く削減され(表1、NO.2)、後述するように突入抑制回路や過電流保護回路をスイッチ素子SW21とSW22で共用すること

ができ(表1, NO.3、4)、回路部品点数を低減することができる。また本回路は、フライバックトランスの1次側電流が2次側に変換された後でスイッチ素子SW21及びSW22を導通させるため、ダイオードD21に逆短絡電流が印加することも防止することができる(第1表 NO.6)。

【0013】更に、制御回路が一つしかないため、複数制御回路駆動によるノイズが重畳することもなく(表1, NO.5)、当然のことながらスイッチング回数も1回である(表1, NO.7)。

【0014】このように図2に示したフライバックトランス方式の回路は、図1のアクティブフィルタ方式の主要な欠点は全て解決している。しかしながら、フライバックトランス方式にはアクティブフィルタ方式にはない別の大きな欠点を内包している。

【0015】その最大の欠点は出力電力容量を大きくとれないことである。その要因は下記の三つが考えられる。

(1)出力電圧に表れるライン周波数リプルに起因する容量制限(表1, NO.9)。即ち、本方式では、前述のように1次側平滑コンデンサを取り除いているため、整流後の全波整流ライン電圧の谷の部分(凹部分)では1次側から2次側に十分な電力を汲み上げることができず、このため出力側コンデンサC22には大きな容量を要し、出力電力容量にもよるが一般に出力電圧25V以下の回路には適さない。

【0016】更には、この欠点をカバーしてライン電圧の谷の部分で少しでも余計に電力を汲み上げようとすると、この方式の本来の目的である力率が低下する。このような関係から、本方式の実用的な力率は90パーセント前後に制限される特性をもっている(表1, NO.1)。また1次側に電力を貯蔵するコンデンサがないため、瞬停時のエネルギーを貯留できない(第1表 NO.9)という欠点も招いている。

【0017】(2)二つ目の要因は、2次側平滑コンデンサC22の高周波リプル電流が大きいことである(表1, NO.10)。

(3)三つ目の要因は、スイッチ素子SW21及びSW22に流れる電流の遮断時に、これらのスイッチ素子に印加されるスパイクノイズのアブソーバとして設けられたタンク回路(ダイオードD21, コンデンサC21, 抵抗R21で構成)で消費される損失が、1次側電流の2乗に比例して増加するためである(表1, NO.8)。

【0018】このように従来技術によるスイッチングレギュレータは、一長一短があり、部品点数の低減、高力率及び低ノイズの特性を満足するものではないと言う不具合があった。本発明の目的は、前記従来技術による不具合を除去することであり、高力率及び低ノイズ且つ部品点数の少ないスイッチングレギュレータを提供することである。

【0019】

【課題を解決するための手段】前記目的を達成するため本発明は、ACライン電圧を整流して全波整流ライン電圧を出力する整流器、フライバックトランス、該フライバックトランスを時分割で高周波駆動するためのスイッチ素子、該フライバックトランスの2次側に設けられたダイオードおよび平滑コンデンサより構成されるフライバックトランス方式のスイッチングレギュレータにおいて、該フライバックトランスの1次側に、電力蓄積コンデンサ、第1のスイッチ素子と同期して動作する第2のスイッチ素子、フライホイールダイオード及び第3のスイッチ素子とを設け、前記全波整流ライン電圧の山の部分(以下電力蓄積領域という)においては、第1のスイッチ素子により負荷が必要とする所定の電力をフライバックトランスの2次側に変換しながら、全波整流ライン電圧の位相角に応じた余分の電力を、フライバックトランス及び第2のスイッチ素子及びフライホイールダイオードを経由して該電力蓄積コンデンサに蓄積し、前記全波整流ライン電圧の谷の部分(以下電力放出領域という)においては、第1のスイッチ素子により全波整流ライン電圧の位相角に応じた電力をフライバックトランスの2次側に変換しながら、負荷の必要とする所定の電力に満たない電力の不足分を、電力蓄積コンデンサから第3のスイッチ素子を経由してフライバックトランスに供給することを第1の特徴とする。

【0020】また本発明は、前記特徴1記載のスイッチングレギュレータにおいて、前記第2のスイッチ素子として、フライバックトランスを駆動するハーフブリッジ型構成の第1のスイッチ素子(複数)の片方を共用することを第2の特徴とする。

【0021】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの電力容量を適切に選定することによって、瞬停時エネルギーを貯留する機能を併せ持つことを第3の特徴とする。

【0022】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサおよび該フライホイールダイオードを、該フライバックトランスの寄生リアクタンスに起因して発生するスパイクノイズのアブソーバとして利用することを第4の特徴とする。

【0023】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧を、第1項記載の電力放出領域においては、ライン電圧の瞬時値よりも高く設定することを第5の特徴とする。

【0024】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧の下限値を出力電圧の1次換算値とし、第1項記載の電力蓄積領域においては上限値をライン電圧

の瞬時値と出力電圧の1次換算値の和とすることを第6の特徴とする。

【0025】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧を、出力電圧の1次換算値の2倍に選定することを第7の特徴とする。

【0026】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧を入力電圧系(100V系、200V系など)によって切替えることを第8の特徴とする。

【0027】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサの動作電圧をライン電圧に応じて連続的に変えることを第9の特徴とする。

【0028】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、該電力蓄積コンデンサと第2のスイッチ素子の間にネガティブフィードバック制御ループを形成し、該電力蓄積コンデンサの動作電圧が所定の電圧より低下すれば第2のスイッチ素子の駆動パルス幅を広げ、所定の電圧より上がれば駆動パルス幅を狭めるよう制御し、もって該電力蓄積コンデンサの動作電圧を所定の電圧に保つことを第10の特徴とする。

【0029】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、前記第2及び第3のスイッチ素子を、入力電流(の時分割周期における平均値)をライン電圧の瞬時値に比例せしめる様に制御することを第11の特徴とする。

【0030】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、前記第2のスイッチ素子を、ライン電圧を $\cos\theta$ なる余弦波とするとき $\cos\theta$ に応じた余分の電力を該電力蓄積コンデンサに蓄積せしめる様に制御することを第12の特徴とする。

【0031】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、前記第2のスイッチ素子を、前記特徴1記載の電力蓄積領域と電力放出領域の境界点の位相角を指す値を κ としたとき、 $(\cos\theta - \cos\kappa)$ に比例するパルス幅を生成することにより制御することを第13の特徴とする。

【0032】また本発明は、前記特徴13記載のスイッチングレギュレータにおいて、前記第2のスイッチ素子を $K(\cos\theta - \cos\kappa)$ なるパルスデューティを生成して制御し、比例定数 K をライン電圧のピーク値に比例した電圧成分とライン電圧に独立した定電圧成分を積分器に入力することによって実現することを第14の特徴とする。

【0033】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、前記第1のスイッチ素子を、ライン電圧を $\cos\theta$ なる余弦波とするとき電力放出領域において $\cos\theta$ に比例したパルス幅を生成する

ことにより制御することを第15の特徴とする。

【0034】また本発明は、前記特徴15記載のスイッチングレギュレータにおいて、前記第1のスイッチ素子を $J\cos\theta$ なるパルスデューティを生成して制御し、比例定数 J をライン電圧のピーク値に比例した電圧成分とライン電圧に独立した定電圧成分を積分器に入力することによって実現することを第16の特徴とする。

【0035】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、前記電力蓄積領域と電力放出領域の境界点として、ライン電圧を余弦波とした場合の $\pm\pi/4$ の位相に選定することを第17の特徴とする。

【0036】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、前記電力放出領域中の時分割動作において、時分割周期の最初に第3のスイッチ素子を駆動し、続いて第1のスイッチ素子を駆動することを第18の特徴とする。

【0037】また本発明は、前記特徴18記載のスイッチングレギュレータにおいて、ライン電圧を $\cos\theta$ なる余弦波とするとき第3のスイッチ素子を $(\cos\kappa - \cos\theta)$ に比例するパルス幅を生成することによって制御することを第19の特徴とする。

【0038】また本発明は、前記特徴18記載のスイッチングレギュレータにおいて、第3のスイッチ素子を $(2/3)(\cos\kappa - \cos\theta)$ なるパルスデューティを生成して制御することを第20の特徴とする。

【0039】また本発明は、前記特徴18記載のスイッチングレギュレータにおいて、第3のスイッチ素子を駆動するパルスデューティを出力電圧の誤差増幅器の出力によって調整することを第21の特徴とする。

【0040】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、ライン電圧を余弦波とし、前記電力蓄積領域と電力放出領域との境界点の位相角を指す値を κ とし、且つ起動時間を τ としたとき、起動時における出力電圧の1次換算値 $E' \cdot o(t)$ を、 $(t/\tau)E\cos\kappa$ ($0 \leq t \leq \tau$)なる時間の関数を目標値として制御することを第22の特徴とする。

【0041】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、前記電力蓄積コンデンサの起動時の動作電圧を、時間と共に上昇する出力電圧に比例させることを第23の特徴とする。

【0042】更に本発明は、前記特徴1又は2記載のスイッチングレギュレータを複数含む電源装置において、該複数のスイッチングレギュレータの第1のスイッチ素子を駆動する制御回路のクロックを同一位相に同期化すると共に、前記電力蓄積コンデンサ、第3のスイッチ素子及びその制御回路を複数のスイッチングレギュレータにて共用することを第24の特徴とする。

【0043】また本発明は、前記特徴1又は2記載のスイッチングレギュレータを複数含む電源装置において、

該複数のスイッチングレギュレータを、同一電圧を出力し、且つ出力電流がほぼバランスするように2組に分割し、各組のスイッチングレギュレータの第1のスイッチ素子を駆動する制御回路のクロックの位相を1/2周期ずらして同期化し、フライバックトランスの出力電流の位相が互いに1/2周期ずれたレギュレータ出力を互いに突き合わせて接続することを第25の特徴とする。

【0044】前記特徴25記載の電源装置であって、前記複数のスイッチングレギュレータが、前記電力蓄積コンデンサ及び第3のスイッチ素子並びに制御回路を共用することを第26の特徴とする。

【0045】また本発明は、前記特徴1又は2記載のスイッチングレギュレータを複数含む電源装置であって、該スイッチングレギュレータを、同一電圧を出力するn組に分割し、各組のスイッチングレギュレータの第1のスイッチ素子を駆動する制御回路のクロックの位相を1/n周期ずらして同期化し、フライバックトランスの出力電流の位相が互いに1/n周期ずれたレギュレータ出力を互いに突き合わせて接続することを第29の特徴とする。

【0046】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、所定容量の半分の電力容量を持つ100V回路用フライバックトランスを2つ用意し、該両フライバックトランスの2次側ダイオード出力を並列接続し、入力電圧を検出して100V入力電圧の場合は、この1次側を並列接続し、200V入力電圧の場合は2次側を直接接続するスイッチ素子を設けたことを第28の特徴とする。

【0047】また本発明は、前記特徴1又は2記載のスイッチングレギュレータにおいて、前記フライバックトランスの2次側に設けたダイオードの代わりにMOSトランジスタを同期整流方式で接続することを第29の特徴とする。

【0048】更に本発明は、ACライン電圧を整流器により整流して全波整流ライン電圧を生成し、該全波整流ライン電圧をトランスに供給し、この供給電力のうち負荷に必要な所定の電力を該トランスの2次側に変換すると共に、負荷に必要な所定電力を差し引いた余剰電力を該トランス1次側電流の直流重畳機能によって電力蓄積コンデンサに蓄積するスイッチングレギュレータにおいて、前記電力蓄積コンデンサをトランスの1次側に配置すると共に、該トランスに供給する電力のうち前記所定電力を2次側に変換する電圧制御回路と、前記電力蓄積コンデンサへの電力蓄積を制御する電力蓄積制御回路と、該コンデンサに蓄積された電力をトランスに再供給する電力放出制御回路とを設け、全波整流ライン電圧の凸部においては、該電圧制御回路がトランスに供給する全波整流ライン電圧のうち負荷に必要な所定電力を2次側に変換する共に、該電力蓄積制御回路が前記余剰電力を電力蓄積コンデンサに蓄積し、全波整流ライン電圧の

凹部においては、全波整流ライン電圧の位相角に応じた電力を全波整流ライン電圧としてトランスに供給し、前記所定電力に満たない不足電力を電力放出制御回路が電力蓄積コンデンサからトランスに供給し、これらトランスに供給される両電力を前記電圧制御回路がトランスの2次側に負荷に必要な所定電力として変換することを第30の特徴とする。

【0049】また本発明は、ACライン電圧を整流器により整流して全波整流ライン電圧を生成し、該全波整流ライン電圧をトランスに供給し、この供給電力のうち負荷に必要な所定の電力をトランスの2次側に変換すると共に、負荷に必要な所定電力を差し引いた余剰電力をトランス1次側電流の直流重畳機能によって電力蓄積コンデンサに蓄積するスイッチングレギュレータを複数備える電源装置において、前記スイッチングレギュレータが、前記トランスの1次側に配置された電力蓄積コンデンサと、該トランスに供給される電力のうち前記所定電力を2次側に変換する電圧制御回路と、該電力蓄積コンデンサへの電力蓄積を制御する電力蓄積制御回路と、該コンデンサに蓄積された電力をトランスに再供給する電力放出制御回路とを備え、全波整流ライン電圧の凸部においては、該電圧制御回路がトランスに供給する全波整流ライン電圧のうち負荷に必要な所定電力を2次側に変換する共に、該電力蓄積制御回路が前記余剰電力を電力蓄積コンデンサに蓄積し、全波整流ライン電圧の凹部においては、全波整流ライン電圧の位相角に応じた電力を全波整流ライン電圧としてトランスに供給し、前記所定電力に満たない不足電力を電力放出制御回路が電力蓄積コンデンサからトランスに供給し、これらトランスに供給される両電力を前記電圧制御回路がトランスの2次側に負荷に必要な所定電力として変換することを第31の特徴とする。

【0050】

【発明の実施の形態】以下、本発明によるスイッチングレギュレータの実施形態を図面を参照して説明するものであるが、まず、本発明の原理について説明する。

【0051】<1章> ** 高力率電源装置実現のための必要条件 **

まず、本発明の一実施形態の説明の前提として高力率電源装置実現のための必要条件について考察する。図3

(a)はACラインのライン電圧 $e(\theta)$ と入力電流 $i(\theta)$ と出力電力 $(E_o \cdot I_o)$ のそれぞれの波形を示したものである。図中、ライン電圧 $e(\theta)$ の波形は一般に正弦波である(余弦波と言っても良い)。入力電力はライン電圧と入力電流 $i(\theta)$ の積であり、その波形は入力電流の波形により決まる。力率が高いということは入力電流がライン電圧にある程度比例していることを意味するが、この場合は入力電力 $[e(\theta) \cdot i(\theta)]$ 波形は図示したように正弦波の二乗波形に近くなる。一方、出力電力は出力電圧 E_o と出力電流 I_o の積であり、出力電圧

は一定でなければならないから、負荷が一定ならば出力電力($E_0 \cdot I_0$)波形は図示したような直線でなければならない。

【0052】図3(a)において、入力電力(正弦波の二乗波形)は、出力電力(直線)で分断されて、両者の電力は面積A、B、Cに相当する電力の塊に分類される。電力Aは、ACラインから流入した入力電力がその時点で出力電力として変換される部分であり、電力Bはその時点(電力蓄積領域)では余剰の電力で、一旦電力蓄積コンデンサに貯えられた後、電力Cという不足電力を補うためにライン電圧の谷の部分(電力放出領域)で放出されることを表している。

【0053】この図から容易に理解できるように、力率の高い電源装置においては、電力B、Cはそれぞれ電力Aの半分近い大きさになる(理想的な力率1の場合は46.7%)。換言すれば、高力率電源を実現するための必要条件の一つは、出力電力容量(A+C)の30%位(理想的な力率1の場合は31.8%)の電力を蓄積・放出できる「十分な電力容量の電力蓄積コンデンサを必要とする」ことである。

【0054】高力率電源を実現するためのもう一つの必要条件は、電力蓄積コンデンサの前段にインダクタを必要とし、電力蓄積領域において、ラインからこのインダクタを経由して電力蓄積コンデンサに余剰電力が汲み出される。厳密には、インダクタを高周波で時分割駆動するためのスイッチ素子とフライホイールダイオードを併せ必要とする。

【0055】<2章> ** 電力蓄積コンデンサの動作電圧 **

図4に従来の電源回路方式における電力蓄積コンデンサの位置付けを示し、図4(a)は、前記図1に示したアクティブフィルタ方式の回路の概念構成を示している。本図に示した回路は、ACライン409からの電力を整流器401で整流した電力(A+B)をリアクタL11を介して電力蓄積コンデンサC11に蓄積し、該蓄積した電力(A+B)を電力(A+C)としてトランスT11に供給するものであり、このコンデンサC11への蓄積並びにトランスT11への供給を力率制御回路402及び電圧制御回路403により制御することによって所定の電力を負荷406に供給する様に構成している。

【0056】前記電力蓄積コンデンサC11は、トランスT11の1次側にあつて、前段に位置するインダクタL11、スイッチ素子SW13およびフライホイールダイオードD13の動きにによって電力(A+B)を蓄積し、電力(A+C)を放出して、平準化された電力(A+C)としてトランスT11に供給する。ここで電力(A+B)は、スイッチ素子SW13によって1回目のスイッチング動作を受け、電力(A+C)はSW11によって2回目のスイッチング動作を受け、ライン電圧から出力電圧に変換される間に計2回のスイッチング動作を受ける(表

1、NO.7参照)。

【0057】図4(b)はフライバックトランス方式回路の例で、図2の概念図となっている。本回路は、前記回路と比して電力蓄積コンデンサC22をトランス2次側に配置すると共に、電圧・力率制御回路407を用いてスイッチ素子SW21をスイッチングすることによりトランスT21を介した電力(A+B)を電力蓄積コンデンサC22に蓄積し、電力(A+C)を自然放電することによって負荷406に必要な電力を供給する様に構成している。

【0058】即ち、前記電力蓄積コンデンサC22はフライバックトランスT21の2次側にあり、スイッチ素子SW21およびダイオードD22を経由して電力(A+B)を蓄積し、電力(A+C)を放出して、平準化された電力(A+C)として負荷に供給する。したがってこの場合は、ライン電圧から出力電圧に変換される間に電力(A+B)はスイッチ素子SW21によってただ1回のスイッチング動作を受ける(第1表 NO.7)だけである。

【0059】電力蓄積コンデンサから見た図4(a)図4(b)の相違の一つは、前者がトランス類の1次側にあるのに対し後者は2次側にあるということである。一般にコンデンサに蓄積できる電力容量は、コンデンサの容量Cとその動作電圧Vの二乗に比例する($(1/2) \cdot CV^2$)ことが知られている。一方コンデンサの体積(および原価)はコンデンサの容量と電圧の積($C \cdot V$)で決まる。言い換えれば、一定の電力容量を蓄積するためのコンデンサの体積(および原価)は電圧の大きさに反比例して小さくなる。

【0060】通常、トランスの1次側に接続される電力蓄積コンデンサの動作電圧は、ライン電圧が100V系の場合は180Vに、200V系の場合は360Vに選ばれる。一方2次側に接続される場合の動作電圧は出力電圧 E_0 そのものであり、12V、5V、3.3Vなどである。例えば図4(a)が360Vで図4(b)は5Vの場合を比較してみるとその比は72となる。従って電力蓄積コンデンサについてはフライバックトランス方式はアクティブフィルタ方式に比べて70倍もの体積(および原価)を必要とするが判る。

【0061】しかし実際には、信号素子ならともかく電力素子である電力蓄積コンデンサに70倍もの体積(および原価)を投ずることは経済的でないため、何らかの特性を犠牲にしてこの容量を小さく選定するのが一般的である。

【0062】この比較的小容量のコンデンサについて考察するために、図3(b)に電力蓄積コンデンサの電力容量が小さい場合のACラインの電圧/電流/電力と出力電力のそれぞれの波形を示す。コンデンサの電力容量が小さくなると電力放出領域に備えて十分な電力を蓄積することが困難になり、ライン電圧 $e(\theta)$ の谷の部分では安定した出力電圧を維持できなくなって出力電圧にラ

イン周波数リップルが出現する(表1, NO.9)。このことは、電力B、Cが電力Aに比べて小さい、あるいは電力Aが電力B、Cに比べて大きいことを意味する。そして電力Aが大きいことは、電力蓄積領域を長くし、電力放出領域においても少しでも多くの入力電流 $i(\theta)$ を取り込むよう電圧制御回路が機能することを意味する。このため、入力電流の波形は第4図(a)の場合に比べて押しつぶされた形になり、ライン電圧との比例関係がくずれて力率が低下する(表1, NO.1)。

【0063】即ち、スイッチングレギュレータが高い力率を維持するための必要条件「十分な電力容量のコンデンサを必要とする」は、通常そうであるように出力電圧がライン電圧に比べて小さい場合は、誤解を怖れず大胆な表現に換えれば「電力蓄積コンデンサがトランス類の1次側に接続されていること」と言うことができよう。換言すれば、高い力率を維持するための必要条件は、電力蓄積コンデンサがトランス類の1次側に接続されていることが必要であると言える。

【0064】<3章> ** 本発明による回路方式の原理 **

次に本発明によるスイッチングレギュレータの回路方式の原理を図5を参照して説明する。本発明は前述したような数多くの特長を有するフライバックトランス方式のスイッチングレギュレータを母体とし、同方式の最大の欠点である「電力蓄積コンデンサがフライバックトランスの2次側に接続されている」ことを改善するため、以下に述べる工夫によって電力蓄積コンデンサを1次側に移したことを特徴としている。

【0065】具体的に述べると本回路は、図5に示す如く、ACライン409から供給される電力を整流器501により整流して電力(A+B)を得、該電力(A+B)に後述する電力蓄積コンデンサC61から放出される電力Cを加えた電力(A+B+C)をフライバックトランスT61の1次側に供給する。正確には、電力蓄積領域においては、スイッチ素子SW61により負荷が必要とする所定の電力(電力A)をトランスT61の2次側に変換しながら、ライン電圧の位相角に応じた余分の電力(電力B)をトランスT61及びスイッチ素子SW62およびダイオードD61を介してコンデンサC61に蓄積し、電力放出領域においては、スイッチ素子SW61によってライン電圧の位相角に応じた電力(電力A)をトランスT61の2次側に変換しながら、負荷が必要とする所定の電力に満たない電力の不足分(電力C)を、コンデンサC61から電力放出制御回路502のスイッチ素子SW63(SW61と同期して動作する)とこれに繋がるダイオードD63を経由してT61に供給する様に動作する(請求項1)。

【0066】図5に示す本回路案出の考え方を補足すると、これまでの説明によって理解できるように、図4(b)に示したフライバックトランス方式の電源装置において電力Aは入力電力がその時点で出力電力として変

換される部分であり、その変換のためには電力蓄積コンデンサを必要としない。従って図5に示した本方式においても、電力Aに対しては図4(b)に示したフライバックトランス方式とほぼ同じ動作をすると考えてよい。

【0067】このため本回路は、電力蓄積コンデンサを必要とするのは電力B及びCに対してであるから、このためのみに①新たに電力蓄積コンデンサC61をフライバックトランスT61の1次側に配し、②リアクタンスはこのトランスT61を共用し、第1のスイッチ素子SW61と同期して動作する第2のスイッチ素子SW62とフライホイールダイオードD61を新たに設けた。

【0068】この様に本発明によるスイッチングレギュレータは、電力蓄積領域においてはACラインから電力(A+B)をフライバックトランスT61に供給しつつ、このフライバックトランスT61に供給した電力(A+B)の一部(電力B)を電力蓄積コンデンサC61に蓄積し、残りの電力Aのみを2次側に変換して出力電力を得ると共に、電力放出領域においてはACラインから電力Aを供給し、これに先の電力Cを加えて平準化した電力(A+C)をフライバックトランスT61に供給し、これを出力電力として2次側に変換する。

【0069】換言すれば本発明によるスイッチングレギュレータは、電力蓄積領域においてはトランスに供給した電力の一部を電力蓄積コンデンサに蓄積しておき、電力放出領域においては該コンデンサに貯めた電力とACラインからの電力とを加えてトランスに供給することにより、トランスの2次側に変換される電力を安定的に保つことができる。

【0070】<4章> ** 本発明による回路方式によって解決される課題 **

上記構成の本発明による高力率スイッチングレギュレータは、以下に述べる効果を奏する。

(A) <フライバックトランス方式の課題の改善>

本実施形態による回路は、従来のフライバックトランス方式においては2次側にあった電力蓄積コンデンサの機能を1次側に移すことにより、フライバックトランス方式に内包する下記課題を解決することができる。

【0071】①最初に、電力蓄積コンデンサ、リアクタ(フライバックトランスを共用)およびフライホイールダイオードを1次側に配置したことにより、これまで詳述してきたように高力率電源を構築するための必要条件を満たした(表1, NO.1)。ただし十分条件ではなく、これについては後述する。

【0072】②電力蓄積コンデンサC61の機能によって電力放出期間においてもフライバックトランスT61に平準化された電力を供給することができるため、2次側に変換される出力電圧にライン周波数リップルの発生を実用上防止することができた(表1, NO.9)。

【0073】③電力蓄積コンデンサC61は、ライン電圧の山谷に応じて余剰電力を蓄積し不足電圧を補う機能に

留まらず、その電力容量を適切に選定することによって瞬停時エネルギーを貯流する機能を併せ持つ(表1, NO.9)。この機能は産業用の用途には特に重要である(請求項3)。

【0074】④電力蓄積コンデンサC61は、フライホイールダイオードD61と共に、フライバックトランスの寄生リアクタンスに起因して発生するスパイクノイズのアブソーバとしての機能を有する(正確には図6参照、請求項4)。

【0075】従って本回路においては、図2及び図4(b)に示したダイオードD21、コンデンサC21、抵抗R21で構成されるサージアブソーバとしてのタンク回路を必要としない。即ち、回路の複雑さという観点からみると、本方式は図4(b)に対して5点の素子を追加したが逆に3点の素子を除くことができ、大幅な機能・性能の改善にもかかわらず素子の追加は2点に留まった。尚、後述するが、図4(a)(b)に示す概念図よりもより具体的な回路図である図2と図6(本方式の基本回路を示す)との比較においても、素子の追加は2点に留まっている(表1, NO.2)。

【0076】⑤次に効率という観点からみると、図2及び図4(b)のタンク回路では吸収されたスパイクノイズエネルギーが抵抗R21で熱損失として消費されるのに対し、本回路ではそのエネルギーは電力放出領域において有効に再利用される(表1, NO.8)。即ち、高効率に貢献することができる。

【0077】このように本発明によるスイッチングレギュレータは、前述したフライバックトランス方式の内包する5つの課題(表1, NO.1/NO.8/NO.10の各1点とNO.9の2点)のうち4点を解決することができる。残る1点の2次側平滑コンデンサの高周波リプル電流(表1, NO.10)については、近年ESR(等価直列抵抗)の小さい機能性高分子アルミニウム電解コンデンサ等が実用に供せられ、他の4点ほどは問題が深刻でなくなってきた。しかしこれについても解決手段がないわけではなく、解決手段の一例を後述する(13章)(B)(C)節にて述べる。

【0078】(B)＜アクティブフィルタ方式の問題点の改善＞

以上のようにフライバックトランス方式の欠点は解決したが、アクティブフィルタ方式の問題点の改善が本方式によって大きく後退するようでは本発明は意味をなさない。以下にその点をチェックしておく必要がある。

【0079】①最初に回路構成の複雑さであるが、基本回路の素子数減少についてはすでに述べた通りである。これに加えて図1に示したアクティブフィルタ方式に適用される突入抑制回路も、電源投入時に突入電流の流れ込む電力蓄積コンデンサC61にスイッチ素子SW62が直列に挿入されていることから、このスイッチ素子を突入抑制回路として共用して省略することができる(表1,

NO.3)。また過電流保護回路についても、電圧制御回路によって駆動されるトランス類のスイッチ素子がアクティブフィルタ方式では電流のパルス幅を制御しているのに対し、本方式はフライバックトランス方式と同じく電流の波高値を制御しているため、やはりこのこのスイッチ素子を共用して省略することができる(表1, NO.4)。

【0080】②次にノイズについてみると、本回路の三つのスイッチ素子SW61~63はいずれもクロックが同期しているため、最も厄介なクロック非同期によるノイズの非同期重畳の発生を防止することができる。またクロックが同期していても起こりうるノイズの同期重畳や非同期重畳が共にないことは、図8及び図26のタイムチャートとその説明によって後述する(表1, NO.5)。

【0081】③フライホイールダイオードD61の逆短絡電流については、トランスT61の1次側に流れる電流が2次側に切替った後でスイッチ素子SW61が導通するため(正確には図6参照)、ダイオードD61に逆短絡電流が流れることを防止できる。またダイオードD63についても、スイッチ素子SW63が導通する電力放出領域においてはダイオードD63に順方向電圧が印加されるよう電力蓄積コンデンサの動作電圧を設定する($E_c > e(\theta)$)ことによって、やはり逆短絡電流が流れることを防止できる(表1, NO.5)。

【0082】④最後に電力変換に必要なスイッチング回数であるが、本方式では2回のスイッチング動作を受けるのは電力Bに相当する部分のみである。電力Bの出力電力(A+C)に対する比率は約0.3で、電力変換に必要な等価スイッチング回数は約1.3回であるといえることができる(第1表 NO.7)。

【0083】この様に本発明による回路は、原理的に(アクティブフィルタ方式の問題点を改善するという)フライバックトランス方式の数多い長所をほとんどそのまま残したまま、(アクティブフィルタ方式には無かったフライバックトランス方式の)多くの欠点を克服したものである。

【0084】＜5章＞ ** 本発明の基本回路 **
次に本発明の具体的な基本回路を図6を参照して説明する。この基本回路は、図2のフライバックトランス方式を母体にしたフライバックコンバータ部601と、図5を用いて詳述してきた電力蓄積コンデンサC61/フライホイールダイオードD61/これらの制御回路605/電力放出用スイッチ素子SW63/ダイオードD63/これらの制御回路604からなる力率制御部602と、整流部603により構成される。

【0085】本回路は、図5においては余剰電力を蓄積するためのスイッチ素子をフライバックトランスの後段にフライホイールダイオードと直結して配したのに対し、フライバックトランスT61のハーフブリッジ型駆動

【数24】

$$E_c < E \cos \theta + E' o \quad (-\kappa < \theta < \kappa)$$

…… E_c 電圧の上限：数24

【0154】以上の準備によって本発明による基本回路の動作解析に必要な基本式はほぼ出揃ったが、一つだけ足りないものがある。それは入力電流 $I_{a+b}(\theta)$ の制御アルゴリズムを定義する式である。

【0155】入力電流の制御アルゴリズムであるが、(1章)に述べたように高力率電源においては入力電流はライン電圧にほぼ比例関係にある。したがって第一に考えられるアルゴリズムは、図6に示す力率制御部において入力電流をライン電圧に比例させるよう制御することである。このアルゴリズムの特長は、高い力率(理論的には1)を実現できることである(請求項11)。

【0156】しかしこのアルゴリズムにも欠点があり、一般的には制御回路に高価な掛算器を必要とする。そこ

で第二に考えられるアルゴリズムは、力率を多少犠牲にしても制御回路を安価に構成しようとするものである。

(3)章において電力Bを「ライン電圧の位相角に応じた余分の電力」と表現したが、より正確には「ライン電圧を $\cos \theta$ なる余弦波とすると、 $\cos \theta$ に応じた余分の電力」という意味である(請求項12)。その具体的実現方法の一例は、「ライン電圧を余弦波とすると、 $(\cos \theta - \cos \kappa)$ に比例した $T_b(\theta)$ パルス幅」を生成することによってSW62を制御することである(請求項13)。下記(数25)式はこのアルゴリズムを入力電流制御式として数式化したものである。

【0157】

【数25】

$$\frac{T_b(\theta)}{T} = K (\cos \theta - \cos \kappa)$$

……入力電流制御式：数25

【0158】以上より(数26)式の範囲において(数25)～(数33)の数式モデルが誘導される。ここに $p_{a+b}(\theta)$ は電力蓄積領域においてラインから流入する電力の周期Tの平均値を指し、 P_{a+b} はライン周波数周期の平均値を指す。

【0159】

【数26】

$$-\kappa < \theta < \kappa$$

……数26

【0160】

【数27】

$$\frac{T_a(\theta)}{T} = \frac{E' o + K(E_c - E \cos \theta - E' o)(\cos \theta - \cos \kappa)}{E \cos \theta + E' o}$$

…… $T_a(\theta)$ パルスのデューティ：数27

【0161】

【数28】

$$\frac{T_b(\theta)}{T} = K (\cos \theta - \cos \kappa)$$

…… $T_b(\theta)$ パルスのデューティ(入力電流制御式の再掲)：数28

【0162】

【数29】

$$\frac{T_o(\theta)}{T} = \frac{E \cos \theta - K E_c (\cos \theta - \cos \kappa)}{E \cos \theta + E' o}$$

…… $T_o(\theta)$ パルスのデューティ：数29

【0163】

【数30】

$$i(\theta) = I' o \frac{E \cos \theta + E' o}{E \cos \theta - K E_c (\cos \theta - \cos \kappa)}$$

…… 入力電流瞬時値：数30

【0164】

【数31】

$$I_{a+b}(\theta) = I' o \frac{E' o + K E_c (\cos \theta - \cos \kappa)}{E \cos \theta - K E_c (\cos \theta - \cos \kappa)}$$

…… 入力電流平均値：数31

【0165】

【数32】

$\cos\theta$ とし、その比 a は下式(数66)で表される。

【数66】

【0212】

$$a = E_{\max} \cos\theta / E_{\min} \cos\theta \quad \dots \text{電圧変動倍率: 数66}$$

該電圧変動倍率 a は定格電圧に対する電圧変動と、定格電圧系列の開きによって決まる。前者は一般に+10%〜-15%であり、後者は100/110/120V又は200/220/240Vと1.2倍の開きがある。

したがって100V系又は200V系のいわゆるシングル入力の場合の電圧変動倍率は、

【0213】

【数67】

$$a1 = (120 \times 1.1) / (100 \times 0.85) =$$

$$(240 \times 1.1) / (200 \times 0.85) = 1.553 \quad \dots \text{数67}$$

となり、100/200V系共用のいわゆるワイド入力の場合は下記となる。

【0214】

【数68】

$$a2 = (240 \times 1.1) / (100 \times 0.85) = 3.106 \quad \dots \text{数68}$$

(B) 基本電圧 $E \cos\theta$ の位置付け: 前記(7章)

を考察する。

(D) 節まではライン電圧を $E \cos\theta$ と表記して解析の準備を進め、(7章)(E)節以降は $E \cos\theta$ という電圧変動のない基本電圧に対して具体的に解析を行なった。ここではこの基本電圧 $E \cos\theta$ を前節で定義した $E_{\max} \cos\theta$ 、 $E_{\min} \cos\theta$ と如何なる関係に位置付けるか

【0215】この位置付け方には次①〜③の三つのケースが考えられ、まず、下記(数69)の関係と位置付ける。

【0216】

【数69】

$$\textcircled{1} \quad E_{\min} \cos\theta < E \cos\theta < E_{\max} \cos\theta \quad \dots \text{数69}$$

この場合は、 $E \cos\theta$ についての解析は前章で終わっているの、新たに $E_{\max} \cos\theta$ 、 $E_{\min} \cos\theta$ について解析を進める。

【0217】次に

【0218】

【数70】

$$\textcircled{2} \quad E \cos\theta = E_{\max} \cos\theta$$

\dots 数70

と位置付ける。この場合はすでに終わっている $E_{\max} \cos\theta$ についての解析がこの位置付けで矛盾がないか検証すると共に、新たに $E_{\min} \cos\theta$ についての解析を進める。

定: 次に(7章)(E)節で設定した動作点の妥当性を検証すると共に、これらを参考に $E_{\max} \cos\theta$ における動作点を以下に設定する。

【0219】次に

【0220】

【数71】

$$\textcircled{3} \quad E_{\min} \cos\theta = E \cos\theta \quad \dots \text{数71}$$

と位置付ける。この場合もすでに終わっている $E_{\min} \cos\theta$ についての解析がこの位置付けで矛盾がないか検証すると共に、新たに $E_{\max} \cos\theta$ についての解析を進める。

①境界点位相角 κ の検証と設定: (7章)(E)節で述べた「力率1の理想的ケースでは境界点は余弦波の $\pm\pi/4$ の位相にあり〜」は電圧変動に関係ない事実なので、 $E_{\min} \cos\theta$ において妥当であり、 $E_{\max} \cos\theta$ においても(数49)式を踏襲する次(数72)を用いる。

【0223】

【数72】

$$\kappa = \pm\pi/4 \quad \dots \text{境界点位相角: 数72}$$

【0221】さて、(7章)(E)節における動作点 E'_{o} の設定式(数50)式の導入にあたって、良好な制御特性を期待するには出力電流のデューティは50%くらいが好ましいと説明した。しかしライン電圧が変動すると電圧低下に伴ってデューティが低下し、この低下は制御特性の観点とは別に2次側の平滑コンデンサのリップル電流の観点からも好ましくない。このような理由から、上記の考えられる三つのケースのうちケース③の位置付けを選択することにする。即ち、本発明では許容最小電圧を前章までの解析における基本電圧とする。

②出力電圧 E'_{o} の検証と設定: 出力電圧 E'_{o} を示す(数50)式は「境界点における出力電流のデューティ50%」を意味し、前節で $E_{\min} \cos\kappa$ においてデューティ50%を確保するとしたため、 $E_{\min} \cos\kappa$ において(数50)式が妥当であることが判る。この電圧 E'_{o} と E_{\min} の関係はライン電圧が E_{\max} になっても崩れないので、 E'_{o} と E_{\max} の関係は(数50)(数71)(数66)式より下式(数73)のように表現される。

【0224】

【数73】

$$E'_{\text{o}} = E_{\min} / \sqrt{2} = E_{\max} / (\sqrt{2}a) \quad \dots \text{出力電圧: 数73}$$

③ E_c 電圧の検証と設定: 前記(7章)(E)節において「($E \cos\theta + E'_{\text{o}}$)の最小値が E_c の上限である」として(数51)式を導入したので、この $E \cos\theta$ に E_{\min} を適用しても(51)式は妥当である。

【0225】次に $E_{\max} \cos\theta$ における設定を行う。仮に $E_{\max} \cos\theta$ においても E_c を変えないとするとこの(数51)式を踏襲した場合、
a)電力蓄積領域において(数51)式は次(数74)

電圧によって変化する。どのように変るかを図17で観察すると、100/110/120Vまたは200/220/240Vの+10%〜-15%範囲では、ライン電圧の比例成分とライン電圧に関係ない固定成分の両方を持った直線と見て良い。そういう意味では(数92)式を実現する抵抗R625、ダイオードD622、コンデンサC622で構成する積分回路がこの固定成分に当たる。

$$Tb(\theta) = t \approx C622 \cdot R626 (\cos\theta - \cos\kappa) (E/V1) \cdots \text{数93}$$

本式にはEの比例項があるのでこれを実現する第二の積分回路は上述の意味の比例成分である。

【0258】従って第一の積分回路と第二の積分回路を組み合わせた場合のTb(θ)は下式(数94〜95)と

$$Tb(\theta) = t \approx k(E) (\cos\theta - \cos\kappa) \cdots \text{数94}$$

【0260】

$$k(E) = (C622 \cdot R625 \cdot R626 \cdot E) / (R626 \cdot E + R625 \cdot V1)$$

【数95】

数95

ここで(数94)式を、 $k(E) = 1.74E / (E + 1.46E_{\min})$ となるように回路定数を決めるとk(E)は図17のようになり、K(a)との差はほとんど認められない。

【0261】

【数96】 $k(E) \approx K(a) \cdots \text{数96}$

即ちライン電圧Eと定電圧V1の両方を積分器に入力することによって表5の(81)式のKを実現することができる(請求項14)。

【0262】③電力蓄積領域の設定(表5, NO.1): 減算器SUB621のオフセット出力電圧とコンデンサC622のオフセット電圧を適切に選定することによって $\cos\theta \geq \cos\kappa$ のときのみ($Ta + c(\theta) + Tb(\theta)$)パルスを出力するようにすることができる。即ち、(数34)式で示した領域を回路に実現できる。

【0263】④Ecの電圧制御(表5, NO.4): 図15に示した回路は、これまで述べてきた($Ta + c(\theta) + Tb(\theta)$)パルス発生回路に誤差増幅器EA621を追加し、この入力をコンデンサC61に接続してEcと2E' oの差電圧を増幅し、この出力を抵抗R627、ダイオードD624を介して①項に述べた積分回路に接続してネガティブフィードバック制御ループを形成する。即ち本回路は、Ecが2E' oに達する迄は第一、第二の積分回路によってEcを高めるに十分な時間幅のTb(θ)を生成し、Ecが2E' oを越えると抵抗R627、ダイオードD624、コンデンサC622で構成される第三の積分回路でTb(θ)の時間幅を減少せしめ、Ecを常に一定に保つことができる(請求項10)。

【0264】このようにネガティブフィードバック制御は擾乱によるEc電圧の変動を抑制してくれるプラスの作用の他に、Ib(θ)の流入やIc(θ)の流出によるEc

【0256】一方抵抗R626、ダイオードD623、コンデンサC622も同じく積分回路を構成し、抵抗R626を定電圧V1に接続するとTb(θ)は、次(数93)で表される。但し、 $V1 > E_{\max} (\cos\theta - \cos\kappa)$ である。

【0257】

【数93】

なる。

【0259】

【数94】

電圧の変動にも敏感に反応して力率を低下させるマイナスの作用もある。即ち、Ic(θ)の流出でEcが低下するので $-\kappa \leq \theta \leq 0$ の領域ではTb(θ)を(数25)式よりも広げてIb(θ)を多めに取り込もうとし、Ib(θ)の流入でEcが上昇するので $0 \leq \theta \leq \kappa$ の領域ではTb(θ)を(数25)式よりも狭めてIb(θ)を少なめに取り込もうとするからである。

【0265】この対策としては、Ib(θ)の流入やIc(θ)の流出によってEc電圧が大きく変動しない程度にコンデンサC61の電力容量を大きく選定すると共に、フィードバックループのループゲインを低めに抑える必要がある。なお(数96)式による比例定数が成立するということは、擾乱が無い限り、①項で述べた積分回路によるフィードフォワード制御で必要十分なIb(θ)を取り込むことができることを意味している。

【0266】また第三の積分回路の積分時定数は第二の積分回路と同様にライン電圧に比例しないため、比例定数Kに対して上述の意味で比例成分として働く。このことは誤差増幅器EA621のオフセット出力電圧を適切に選定することによって第二の積分回路を省略することができることを意味する。

【0267】以上により表5に示した電力蓄積制御回路の具備すべき要件はすべて図15に示した制御回路に実現される。

【0268】(C)電力放出制御回路: 表6に電力放出制御回路の具備すべき要件を示し、図18、図19、図17にそれぞれ回路構成、タイムチャートおよび比例定数Jのライン電圧特性を示す。

【0269】

【表6】

表6

NO.	項 目	内 容	式
1	電力放出領域の設定	$\kappa \leq \theta \leq \pi/2$ 、 $-\kappa \geq \theta \geq -\pi/2$ $\kappa = \pm \pi/4$	(41) (49)
2	入力電流制御	$T_a(\theta)/T = J \cos \theta$	(40)
3	比例定数Jの設定	$J = J(a) = \sqrt{2/(a+1)}$	(78)

【0270】①入力電流制御（第6表NO.2）：積分器
INT631にライン電圧のピーク値Eと定電圧V2を入力
することにより、その出力に $\int (E-V2)dt$ を得る。こ
の積分値を点Cの $E \cos \theta$ と共に比較器COM631に入力

すると、 $\int (E-V2)dt$ が $E \cos \theta$ に達するまでの時間
 $T_a(\theta)$ が下式（数97～100）のように計測される。

【0271】

【数97】

$$k2 \int (E-V2)dt = E \cos \theta \quad (k2 \text{は比例定数}) \quad \cdots \text{数97}$$

【0272】

【数98】

$$k2 \int (E-V2) dt = (E-V2) (1/C631 \cdot R631) t \quad \cdots \text{数98}$$

【0273】

【0274】

【数99】

【数100】

$$T_a(\theta) = t = j(E) \cos \theta \quad \cdots \text{数99}$$

$$j(E) = C631 \cdot R631 (E/(E-V2)) \quad \cdots \text{数100}$$

また図18中のトランジスタT631は積分器INT631の
リセット回路として作用し、これを $T_a(\theta)$ 出力の逆
位相で駆動することにより、図19に見るように $T_a(\theta)$
の始端で $T_a(\theta)$ の計測が開始され、比較器COM6
31およびAND（回路）631の出力には $(T_a(\theta)-T$

$a(\theta))$ が $T_c(\theta)$ パルスとして出力される。

【0275】②比例定数Jの設定（表6、NO.3）：こ
こで（数100）式を

【0276】

【数101】

$$j(E) = 0.414E/(E-0.425E_{min}) \quad \cdots \text{数101}$$

となるように回路定数を決めると $j(E)$ は図17のよう
になり、 $J(a)$ との差はほとんど認められない。

【0277】

【数102】 $j(E) \approx J(a) \quad \cdots \text{数102}$

即ちライン電圧Eと定電圧V2を積分器に入力すること
によって表の（数78）式を実現できる（請求項1
6）。

【0278】③電力放出領域の設定（表6、NO.1）：
比較器COM632の作用によって $T_c(\theta)$ パルスは電力放
電領域においてのみ出力され、（数41）式は回路によ
って実現される。以上により表6に示す電力放出制御回
路の具備すべき要件はすべて図18に示す制御回路に実
現される。

【0279】<10章> ** 整流ダイオードの逆短
絡を防止する方式 **

（A）逆短絡の発生原因：以上述べてきた方式は（数6
5）（数89）式に示すように力率が1に極めて近いと
いう特徴を有するが、電力放出領域において整流ダイ
オードの逆短絡が発生するという重大な欠点を内包してい
る。

【0280】この現象は図12に示すように $T_c(\theta)$ パ
ルスが $T_a(\theta)$ パルスの後に生成されることに起因して
いる。即ち $T_a(\theta)$ パルスによって整流部のダイオード
より $i_a(\theta)$ なる電流を供給しているとき、 $T_c(\theta)$ パ
ルスが生成されてライン電圧より高い電圧 E_c がダイ
オードに印加されるためである。

【0281】（B）逆短絡防止原理と解決すべき隘路事
項：前記逆短絡の対策は $T_a(\theta)$ パルスと $T_c(\theta)$ パルス
の生成順序を逆にすれば良い。図12において磁束 $\Delta\phi$
 a と $\Delta\phi c$ の順序を逆にしても磁束の平衡には何ら支障は
ない（請求項18）。

【0282】ただし解決すべき制御上の隘路事項が二つ
ある。一つは入力電流制御式の問題である。前章までに
述べてきた方式では（数40）式という簡単なアルゴリ
ズムを用いて例えば図8の如く先ず $T_a(\theta)$ パルスを生
成し、その終端を $T_c(\theta)$ パルスの始端として、 $T_c(\theta)$
パルスの終端は電圧制御回路のフィードバック制御にゆ
だねていた。

【0283】ところがここで $T_a(\theta)$ パルスと $T_c(\theta)$ パ
ルスの生成順序を逆にすることは、（数43）式
で示した複雑なアルゴリズムの $T_c(\theta)$ パルスを先ず生
成し、その終端を $T_a(\theta)$ パルスの始端として、 $T_a(\theta)$
パルスの終端は電圧制御回路のフィードバック制御にゆ
だねることを意味する。即ち第一の隘路は（数43）式
という複雑なアルゴリズムを回路でどのように実現する
かということである。

【0284】第二の隘路は $T_a(\theta)$ パルスに磁束上昇能
力が十分あるかということである。磁束は（数4）式に
示すようにフライバックトランスへの印加電圧の時間積
分によって上昇する。仮に $\pm\pi/2$ 近辺の位相角におい
て、（数35）式に基づき磁束および出力電圧 E' の
平衡が保たれているとき負荷が急増したとすると、 E'

oが低下し、電圧制御回路は $Ta+c(\theta)$ を広げることによって $\Delta\phi a+\Delta\phi c$ を大きくし、 $i a+c(\theta)$ を増やして $E' o$ を大きくする。

【0285】前章までの方式では、 $Ta+c(\theta)$ を広げることは後から生成される $Tc(\theta)$ を広げることを意味し、その時点での印加電圧 $E c (=2 E' o)$ は $E' o$ に比べて大きいので磁束を上昇させる能力は十分であった。ここで両パルスの生成順序を逆にすると、 $Ta+c(\theta)$ を広げることは後から生成される $Ta(\theta)$ を広げることを意味し、その時点での印可電圧 $E \cos \theta$ は $E' o$ に

$$f11(\theta) = (2/3) (\cos \pi/4 - \cos \theta) \cdots \text{数103}$$

【0288】

$$f12(\theta) = (\sqrt{2}/3) (\cos \pi/4 - \cos \theta) \cdots \text{数104}$$

この図20を観察すると位相角 70° までは $f11(\theta)$ とほとんど重なっており、これは(数43)式をこの式で近似できることを示唆している。 $f11(\theta)$ で近似した場合の問題点は、 70° を越した領域で両曲線の乖離が大きくなりラインから取り込む電力が減ることである。特に 78° (これを λ と置く)を越すと電力は全く取り込めない現象が発生する。

【0289】しかし図3に示したように取込電力は $E \cos \theta$ の二乗に比例するから、 70° を越した領域の電力取込寄与度は小さく、例えば 70° を越した領域の寄与度は1.8%、 78° を越した領域の寄与度は0.4%に

$$(\pi/4 \leq \theta \leq \lambda, -\pi/4 \geq \theta \geq -\lambda) \cdots \text{数105}$$

【0293】

$$\frac{Tc(\theta)}{T} = \frac{1}{2} J' \cdots \text{入力電流制御式: 数106}$$

【0294】

$$(\lambda \leq \theta \leq \pi/2, -\lambda \geq \theta \geq -\pi/2) \cdots \text{数106}$$

【0295】

$$J' = 2/3 \cdots \text{比例定数 } J': \text{数107}$$

次に磁束上昇能力の隘路について検討する。前節で位相角 $\pm \pi/2$ 近辺では印加電圧 $E \cos \theta$ が $E' o$ に比べてあまりに小さいため磁束上昇能力が十分でないとしたが、入力電流制御式として上記(数105)式を適用することにより最小印加電圧は $E \cos \lambda$ となり、これは約0.3 $E' o$ に相当するので実用上最小限の磁束上昇能力を確保できる。

【0296】(D)基本電圧における動作解析:

①電力蓄積領域の数式モデル: 逆短絡防止方式は電力放出領域において $Ta(\theta)$ と $Tc(\theta)$ の生成順序を入れ替えただけなので、電力蓄積領域の数式モデルは(7章)

(C)節で述べたモデルと基本的には変らない。しかし電力放出領域で取込電力がわずかにせよ減るため、その減少分を電力蓄積領域において増やしておく必要がある。その方法として(数55)式にて示した比例定数 K を下式により補正する。

【0297】

$$\kappa \leq \theta \leq \lambda, -\kappa \geq \theta \geq -\lambda \cdots : \text{数109}$$

比べてあまりに小さいため磁束を上昇させる能力は十分でない。

【0286】(C)隘路の打開方法: 前記隘路の解決方法を次に説明するものであり、まず最初に入力電流制御式の隘路について検討する。(数43)式を E_{min} と E_{max} の場合について数値計算してプロットすると図20の関係となる。これは下式で示される $f11(\theta)$ と $f12(\theta)$ の間にほぼ入っていることがわかる。

【0287】

【数103】

【数104】

過ぎない。

【0290】以上により複雑な(数43)式を簡単な(数103)式で近似できることがわかったので、逆短絡防止方式における入力電流制御式を下記とする(請求項19、20)。

【0291】

【数105】

$$\frac{Tc(\theta)}{T} = J' (\cos \kappa - \cos \theta)$$

【0292】

【数106】

【数107】

【数108】

$$K = (1 + \alpha) \left(1 / \sqrt{2} \right)$$

..... Kの補正式: 数108

【0298】入力電力に関する(数32)(数33)式に定数 κ 、 $E' o$ 、 $E c$ 、 K としてそれぞれ(数49)(数50)(数51)(数108)を適用すると、取込電力の増分 $\Delta Pa+bl$ は α の関数となり、図21に示すように α に比例していることがわかる。

【0299】②電力放出領域の数式モデル再構築: 前記(7章)(D)節で構築した数式モデルにおいて(数40)式が(数105)(数106)式に置き換えられる結果、(数41)～(数48)式が下記(109)～(123)式に置き換えられる。

【0300】

【数109】

【0301】

【数110】

$$\frac{T_c(\theta)}{T} = J'(\cos \kappa - \cos \theta)$$

..... $T_c(\theta)$ パルスのデューティ (入力電流制御式の再掲載) : 数110

【0302】

【数111】

$$\frac{T_a(\theta)}{T} = \frac{E'_0 - J'(E_c + E'_0)(\cos \kappa - \cos \theta)}{E \cos \theta + E'_0}$$

..... $T_a(\theta)$ パルスのデューティ : 数111

【0303】

【数112】

$$\frac{T_o(\theta)}{T} = \frac{E \cos \theta + J'(E_c - E \cos \theta)(\cos \kappa - \cos \theta)}{E \cos \theta + E'_0}$$

..... $T_o(\theta)$ パルスのデューティ : 数112

【0304】

【数113】

$$i(\theta) = I'_0 \frac{E \cos \theta + E'_0}{E \cos \theta + J'(E_c - E \cos \theta)(\cos \kappa - \cos \theta)}$$

..... 入力電流瞬時値 : 数113

【0305】

【数114】

$$I_a(\theta) = I'_0 \frac{E'_0 - J'(E_c + E'_0)(\cos \kappa - \cos \theta)}{E \cos \theta + J'(E_c - E \cos \theta)(\cos \kappa - \cos \theta)}$$

..... 入力電流平均値 : 数114

【0306】

【数115】

$$p_a(\theta) = E \cos \theta I'_0 \frac{E'_0 - J'(E_c + E'_0)(\cos \kappa - \cos \theta)}{E \cos \theta + J'(E_c - E \cos \theta)(\cos \kappa - \cos \theta)}$$

..... 入力電流平均値 : 数115

【0307】

【数116】

$$P_a = \frac{2}{\pi} \int_{\kappa}^{\lambda} p_a(\theta) d\theta$$

..... 入力電力 : 数116

【0308】

【数117】

$$\lambda \leq \theta \leq \pi/2, -\lambda \leq \theta \leq \pi/2$$

..... : 数117

【0309】

【数118】

$$\frac{T_c(\theta)}{T} = \frac{1}{2} J'$$

..... $T_c(\theta)$ パルスのデューティ (入力電流制御式の再掲載) : 数118

【0310】

【数119】

$$\frac{T_a(\theta)}{T} = 0$$

..... $T_a(\theta)$ パルスのデューティ : 数119

【0311】

【数120】

$$\frac{T_o(\theta)}{T} = \frac{3}{2} J'$$

..... $T_o(\theta)$ パルスのデューティ : 数120

【0312】

【数121】

$$i(\theta) = 0$$

..... 入力電流瞬時値 : 数121

【0313】

【数122】

$$I_a(\theta) = 0$$

..... 入力電流平均値 : 数122

【0314】

【数123】

$$p_2(\theta) = 0$$

入力電流平均値：数123

【0315】③動作点の設定：定数 κ 、 E_o 、 E_c はそれぞれ(数49)(数50)(数51)式を適用する。新たに定義された動作点 λ は図20より下式(数124)とする。

【0316】

【数124】

$$\lambda = (\pi/2)(78/90) \cdots \text{数124}$$

④入力電流制御式の比例定数：比例定数 K 、 J は、それぞれ(数108)及び(数107)式を適用する。

$$\Delta Pa + b = E' \circ I' \circ (1 - (0.8183 + 0.1625)) = 0.0192 E' \circ I' \circ$$

..... 数125

図21より次の補正係数 α を得る。

【0319】

$$\text{【数126】 } \alpha = 0.045 \cdots \text{数126}$$

ここで、比例定数の補正式(数108：K補正)(数1

$$Pa + b = 0.8377 E' \circ I' \circ \text{ (補正後)}$$

..... 数127

【0321】

$$Pa + b + Pa = 1.0002 E' \circ I' \circ (= E' \circ I' \circ) \cdots \text{数128}$$

また(62)式に相当する実効入力電流として下式を得る。

【0322】

【数129】

$$I_{rms}^2 = \frac{2}{\pi} \left\{ \int_0^{\pi} I_{a+b}^2(\theta) d\theta + \int_{\pi}^{2\pi} I_a^2(\theta) d\theta \right\}$$

..... : 数129

【0323】

【数130】

$$I_{rms}^2 = (2/\pi) (1.3472 I_o'^2 + 0.2378 I_o'^2) \cdots \text{数130}$$

【0324】

【数131】

$$I_{rms} = 1.0044 I' \circ$$

..... 数131

従って、(数59)～(数61)(数128)(数131)式より下記力率を得ることができる。即ち、約1に近い力率をえることができる。

【0325】

【数132】

$$PF = 0.9958$$

..... 数132

⑤動作解析：前記(7章)(H)節と同様の手順を用いた結果、図22のような入力電流および各制御パルスの位相角-デューティ特性を得る。

【0326】(E)許容最大電圧における動作解析：次に数式モデル等の条件設定を行った後、許容最大電圧における動作の解析を行う。

①数式モデル：電力蓄積領域については前記(7章)(C)節のモデルと同じのため省略し、電力放出領域についても前記(10章)(D)②項のモデルに同じのため省略する。

②動作点の設定：本数式モデルにおいては、定数 κ 、 $E' \circ$ 、 E_c 、 a 、 λ としてそれぞれ(数49：境界点位相角)、(数50：出力電圧)、(数51： E_c 電圧)、(数67：電圧変動倍率 a_1)、(数124： λ)式を適用する

③電流制御式の比例定数：前記(10章)(D)②項と同様に(数81)式の比例定数 K を補正して次(数133)の如くする。

【0327】

【数133】

$$K = K(a) = (1 + \alpha) a / (\sqrt{2}(\sqrt{2} + a)(\sqrt{2} - 1))$$

..... Kの補正式：数133

を適用する。

④力率の検証：入力電力に関する(数32：入力電流平均値)、(数33：入力電力)、(数115：入力電力

【0328】補正のための $\Delta Pa + b$ と α の関係として第21図を得る。

【0329】また比例定数 J' としては(数107)式

平均値)、(数116:入力電力)式に上記②③項の動作点および比例定数を適用して、(10章)(D)⑤項と同様の手順を踏んで下式を得る。

$$P_a = 0.1761 E' o I' o \dots\dots\dots : \text{数134}$$

【0331】

【数135】

$$P_{a+b} = E' I' (1 - 0.8209 + 0.1761) = 0.0030 E' o I' o \dots\dots\dots \text{数135}$$

【0332】

【数136】

$$\alpha = 0.0075 \text{ (図21より)} \dots\dots\dots \text{数136}$$

【0333】

【数137】

$$P_{a+b} = 0.8239 E' o I' o \text{ (補正後)} \dots\dots\dots \text{数137}$$

【0334】

【数138】

$$P_{a+b} + P_a = 1.0000 E' o I' o \dots\dots\dots \text{数138}$$

【0335】

【数139】

$$I^2_{rms} = (2/\pi)(0.5402 I'^2_o + 0.1159 I'^2_o) \dots\dots\dots \text{数139}$$

【0336】

【0337】

【数140】

【数141】

$$I_{rms} = 0.6463 I' o \dots\dots\dots \text{数140}$$

$$PF = 0.9963$$

$$\dots\dots\dots \text{数141}$$

即ち、力率がほぼ1であることが数式モデルの解析によって確認された。

⑤動作解析: 上記(7章)(F)節と同様の手順を用いた結果、図23のような入力電流および各制御パルスの位相角-デューティ特性を得る。

【0338】(F)制御回路: 次に整流ダイオードの逆短絡を防止する方式の制御回路について検討する。

①電圧制御回路: 電圧制御回路は、前述の(9章)(A)節に記載したものと同様である。

②電力蓄積制御回路: 電力蓄積制御回路として具備すべき要件の(9章)(B)節で説明した表5との相違は、比例定数Kを得る(数81)の比例定数Kに $(1+\alpha)$

なる補正係数がかかった(数133)式となる点であるが、この補正はわずかであると共に誤差増幅器E A621を中心としたネガティブフィードバック制御によって自動的に行われるため、図15及び図16の回路構成およびタイムチャートと同様である。

【0339】③電力放出積制御回路: 電力放出積制御回路が具備すべき要件は表7である。本例における回路構成、部分タイムチャートおよび全体タイムチャートを図24～図26に各々示す。

【0340】

【表7】

表7

NO.	項 目	内 容	式
1	電力放出領域の設定	$\kappa \leq \theta \leq \lambda, -\kappa \geq \theta \geq -\lambda$	(109)
		$\lambda \leq \theta \leq \pi/2, -\lambda \geq \theta \geq -\pi/2$	(117)
2	入力電流制御	$T_c(\theta)/T = J'(\cos \kappa - \cos \theta)$	(105)
		$T_c(\theta)/T = (1/2) J'$	(106)
3	比例定数J'の設定	$J' = 2/3$	(107)

【0341】図24に示した回路は、電力蓄積制御回路605中の点D、点Cを電力放出制御回路604の減算器SUB641に接続することによってその出力に $E(\cos \kappa - \cos \theta)$ を得ている。また図中の抵抗R641、コンデンサC641は積分回路を構成しており、該抵抗R641を点Dに接続することにより、ライン電圧Eの時間積分値 $\int E dt$ をコンデンサC641に出力している。この積分値

は減算器SUB641の出力 $E(\cos \kappa - \cos \theta)$ と共に比較器COM641に入力され、 $\int E dt$ が $E(\cos \kappa - \cos \theta)$ に達するまでの時間 $T_c(\theta)$ が、(数92)式と同様に下式(数142)のように計測される。

【0342】

【数142】

$$T_c(\theta) = t \approx C641 \cdot R641 (\cos \kappa - \cos \theta) \quad \dots \text{数142}$$

(但し $E > E (\cos \kappa - \cos \theta)$)

また電力放出制御回路604のトランジスタTR641は、C641のリセット回路として作用し、これを点Eの $T_{atc}(\theta)$ 出力の逆位相で駆動することにより、図25に示した如く $T_{atc}(\theta)$ の始端でDRV641の出力に $T_c(\theta)$ パルスを得ることができる。尚、図中点線で示した誤差増幅器EA641、抵抗R642、ダイオードD641及びD642を追加することにより、前述の(10章)(B)節で述べた位相角 $\pm \lambda$ 近辺での磁束上昇能力の問題を更に軽減することができる(請求項21)。

【0343】更に、減算器SUB641のオフセット出力電圧とコンデンサC641のオフセット電圧を適切に設定することによって表7に示した(数109: $\kappa \leq \theta \leq \lambda$, $-\kappa \leq \theta \leq \lambda$)式を回路的に実現することができる。

【0344】また(数117: $\lambda \leq \theta \leq \pi/2$, $-\lambda \leq \theta \leq -\pi/2$)の領域における(数106)式で示した入力電流制御の動作については、電圧制御回路のネガティブフィードバック制御によって行われる。以上により表7に示す電力放出制御回路の具備すべき要件はすべて図24に示す制御回路に実現することができた。

【0345】④スイッチングノイズの重畳: 次に前記

$$a1_{\max} = E1_{\max} / E1_{\min} = (120 \times 1.1) / (100 \times 0.85) = 1.553$$

\dots 数143

【0348】

【数144】

$$a2_{\min} = E2_{\min} / E1_{\min} = (200 \times 0.85) / (100 \times 0.85) = 2.0$$

\dots 数144

【0349】

【数145】

$$a2_{\max} = E2_{\max} / E1_{\min} = (240 \times 1.1) / (100 \times 0.85) = 3.106$$

\dots 数145

(B)動作電圧の再設定: これまでは定数 κ 、 E' o、 E_c の各動作点をそれぞれ(数49~数51)で示す境界点位相角/出力電圧/ E_c 電圧を条件として解析を進めてきたが、これらの動作点を前提にすると電圧変動の許容値を表す(数76)式に示される様に電圧変動倍率を最大2倍迄しかカバーできないことが判る。そこで本項では、定数 κ 、 E' oはそのままにして、(数145)式の最大電圧変動倍率までカバーできる E_c の設定範囲を求めると、 E_c 電圧の上下限式を表した(数1)(数5)(数24)より図27を得る。

【0350】ここで E_c 電圧設定上の考慮すべき要件を整理すると下記の通りである。

(a) E_c 設定値は大きいほど良い(数51式導入の説明を参照)。

(b)ライン電圧変動に伴う E_c の変動は小さいほど良い(制御特性より)。

(c) E_c 設定式を実現する回路は簡単なほど良い。

【0351】図27の設定範囲に適合する簡単な E_c 設定式は、次に挙げる直線①~④が考えられるが、それぞ

(6章)(D)節で述べたノイズの重畳の有無を逆短絡防止方式についても確認する。まず図26に示したタイムチャートの電力放出領域において電流 $i_a(\theta)$ の始端と電流 $i_c(\theta)$ の終端が重なっているが、 $i_a(\theta)$ はスイッチ素子によってではなく $i_c(\theta)$ の遮断によって流れ始めるためノイズの重畳発生はない。また、電流 $i_c(\theta)$ の始端では $i_a(\theta)$ 、即ち整流ダイオードの電流は流れていないため、整流ダイオードの逆短絡現象は発生しない。この様に本例における回路構成は、スイッチングノイズの重畳も防止することができる。

【0346】<11章> ** ワイド入力における動作解析 **

次に100V系/200V系共用のいわゆるワイドレンジの入力に対する動作の解析を行う。

(A)電圧変動倍率: まず、100V系のライン電圧の許容最小値と最大値をそれぞれ $E1_{\min}$ 、 $E1_{\max}$ とし、200V系のそれを $E2_{\min}$ 、 $E2_{\max}$ として、 $E1_{\min}$ に対する $E1_{\max}$ 、 $E2_{\min}$ 、 $E2_{\max}$ の電圧変動倍率は、それぞれ下式(数143~145)で表される。

【0347】

【数143】

れ上記考慮すべき要件に対して得失がある。

直線①: E_c をライン電圧に比例させる設定式で、回路は簡単であるが、 E_c の変動が大きく、且つ100V入力において E_c 設定値が小さい。

直線②: 要件はそれなりに満足しているが、 E_c の変動はやや大きい。

直線③: E_c を100V系と200V系で切替える方法で、要件をほぼ充たしている(請求項8)。但し、この直線③はライン電圧が $E2_{\max}$ 近辺で、 E_c 設定式が設定下限式 $E_c \cos \kappa$ をわずかに割っている点に検討を要する。

【0352】これは電圧変動倍率があまりに高いと、電力放出領域の位相角においても $\pm \kappa$ 近辺ではライン電圧の方がなお E_c よりも高く、電力蓄積コンデンサから不足電力相当分(電力B)が放出されないことを意味する。電力蓄積コンデンサの放出電力が減った分は蓄積電力も減るので問題はないが、電力A、Bの量のバランスがくずれて力率が低下する。但し、後述する(11章)(E)④項で検証するように、図27の程度なら力率の

低下はほとんど認められない。

【0353】直線④：回路はやや複雑になるが電圧変動倍率が高い場合に適している。100V系に対しては直線③でも④でも良い（請求項9）。

【0354】以上の検討結果から（数145）式で示す

$$Ec1 = E1min \cos \kappa + E' o = 2 E' o \quad \cdots \text{数146}$$

【0356】

$$Ec2 = E2min \cos \kappa + E' o = a2min E' o + E' o = 3 E' o \quad \cdots \text{数147}$$

（C）100V系に対する解析：100V系に対する整流ダイオード逆短絡防止の解析は、前記（数146）式による設定値は（数51）式と同じなため、これまでの解析結果をそのまま適用する。

【0357】（D）200V系許容最小電圧に対する解析：200V系に対する整流ダイオード逆短絡防止方式について以下に解析する。

①数式モデル：電力蓄積領域については（7章）（C）節のモデルに同じであり、電力放出領域については（10章）（D）②項のモデルと同じである。

②動作点の設定：定数 κ 、 $E' o$ 、 Ec 、 a 、 λ としてそ

$$K = K(a) = \sqrt{2} a2min / (3(\sqrt{2} + a2min)(\sqrt{2} - 1))$$

【0360】

$$K = 2/3 \quad (a2min = 2)$$

（146）また（数133）式に相当するKの補正式は、

$$K = K(a) = (1 + \alpha) \sqrt{2} a2min / (3(\sqrt{2} + a2min)(\sqrt{2} - 1))$$

となり、 α と $Pa+b$ の関係として図28を得る。

【0362】更に Ec を下式で一般化すると

【0363】

【数151】

$$K = K(a, k) = (1 + \alpha) \sqrt{2} a / (k(\sqrt{2} + a)(\sqrt{2} - 1))$$

次に比例定数 J' を求める。ここでも（10章）（C）節と同様に（数43）式を $E2min$ 、 $E2max$ の場合について数値計算すると図29に示す関係となり、下式で示さ

$$f21(\theta) = (2/4)(\cos \pi/4 - \cos \theta) \quad \cdots \text{数153}$$

【0366】

$$f22(\theta) = (\sqrt{2}/4)(\cos \pi/4 - \cos \theta) \quad \cdots \text{数154}$$

ここで図29を参照すれば明らかな如く、入力電流制御式としてシングル入力の場合と同じ（数105）、（数106）、（数124）式が成立することがわかり、比

$$J' = 2/4$$

この動作点を（数151）式によって一般化すると下記となる、

$$J'(k) = 2/(k+1)$$

④力率の検証：補正前のKによる $Pa+b$ と Pa を算出して $\Delta Pa+b$ を求めると

$$Pa+b = 0.8222 E' o I' o$$

【0370】

3倍程度の電圧変動倍率に対しては直線③を採用するものとし、それぞれを $Ec1$ 、 $Ec2$ と表記して下記のように設定する。

【0355】

【数146】

【数147】

れぞれ（数49：境界点位相角）、（数50：出力電圧）、（数147： Ec 電圧）、（数144：200V系における電圧変動倍率）（数124： λ ）式を適用する。

【0358】③電流制御式の比例定数

最初に比例定数Kを求める。本項においては前記（8章）（D）節と同様に（数31：入力電流平均値）、（数80）式に②項の動作点を適用して下式を得る。

【0359】

【数148】

\cdots 比例定数K：数148

【数149】

\cdots 数149

【0361】

【数150】

\cdots Kの補正式：数150

$$Ec = k E' o \quad (k > 1)$$

\cdots 数151

更にKの一般式は下式となる。

【0364】

【数152】

\cdots Kの一般式：数152

れる $f21$ と $f22$ の間にはば入ることが判る。

【0365】

【数153】

【数154】

例定数 J' は下記となる。

【0367】

【数155】

\cdots 数155

【0368】

【数156】

\cdots J' の一般式：数156

【0369】

【数157】

\cdots 補正前：数157

【数158】

$$Pa = 0.1760 E' o I' o \quad \dots \text{数158}$$

【0371】 $\Delta Pa + b = E' o I' o (1 - (0.8222 + 0.1760)) = 0.0018 E' o I' o$ 【数159】
 $\dots \text{数159}$

図28により補正係数 α を求めると次(数160)となる。

$$\alpha = 0.045$$

以下(10章)(D)⑤項と同様の手順で次(数161～165)より判る様に、本例においても力率を約1に確保できることが判明した。

$$Pa + b = 0.8240 E' o I' o \quad \dots \text{補正後：数161}$$

【0374】

$$Pa + b + Pa = 1.0000 E' o I' o \quad \dots \text{数162}$$

【0375】

【数163】

$$I^2_{rms} = (2/\pi)(0.3258 I'^2 + 0.698 I' o)$$

$\dots \text{数163}$

$$I_{rms} = 0.5018 I' o \quad \dots \text{数164}$$

【0377】

$$PF = 0.9964 \quad \dots \text{力率：数165}$$

⑤動作解析：前記(7章)(H)節と同様の手順で図30のような入力電流および各制御パルスの位相角デューティ特性を得る。

【0378】(E)200V系許容最大電圧における動作解析：

①数式モデル：200V系許容最大電圧における電力蓄積領域については(7章)(C)節のモデルと同じであるため、ここでは電力放出領域における数式モデルについて検討する。まず前記(11章)(B)節における図27の直線③に対する説明では「電力放出領域の位相角においても $\pm\kappa$ 近辺ではライン電圧の方がなお E_c より高く、～」と述べたが、ライン電圧と E_c が等しくなる

$$\kappa \leq \theta \leq \mu, -\kappa \geq \theta \geq -\mu \quad \dots \text{数166}$$

【0380】

$$\frac{T_a(\theta)}{T} = \frac{E' o}{E \cos \theta + E' o} \quad \dots \text{Ta}(\theta) \text{パルスのデューティ：数167}$$

【0381】

$$\frac{T_o(\theta)}{T} = \frac{E \cos \theta}{E \cos \theta + E' o} \quad \dots \text{To}(\theta) \text{パルスのデューティ：数168}$$

【0382】

$$i(\theta) = I' o \frac{E \cos \theta + E' o}{E \cos \theta} \quad \dots \text{入力電流瞬時値：数169}$$

【0383】

$$I'_a(\theta) = I' o \frac{E' o}{E \cos \theta} \quad \dots \text{入力電流平均値：数170}$$

【0384】

【数171】

位相角を μ とすると、(a) $\mu \leq \theta \leq \pi/2$ 、 $-\mu \geq \theta \geq -\pi/2$ においては(10章)(D)②項のモデルと同じであるが、(b) $\kappa \leq \theta \leq \mu$ 、 $-\kappa \geq \theta \geq -\mu$ においては、 T_c パルスは意味をなさなくなり、(7章)(B)節で導入した(数9～数13：磁束の平衡値、等電流式、入力電流関係式、出力電流関係式、時間総和一定式)において定数 κ の代わりに μ を代入することにより、(数166)で示す θ の範囲において次(数167)～(数171)の数式モデルが誘導される。

【0379】

【数166】

$$p'a(\theta) = E'o I'o \dots\dots\dots \text{入力電流平均値: 数171}$$

【0385】②動作点の設定: ここで定数 κ 、 $E'o$ 、 E_c 、 a 、 λ としてそれぞれ(数49:境界点の位相角)、(数50:出力電圧)、(数147: E_c 電圧)、(数145:200V系における電圧変動倍率)、(数124: λ)式を適用する。但し、新たに導入した μ は次(数172)式

【0386】

【数172】

$$E_{2\max} \cos \mu = E_c \dots\dots\dots \text{数172}$$

$$K = K(a) = (1 + \alpha) \sqrt{2 a_{2\max}} / (3(\sqrt{2 + a_{2\max}})(\sqrt{2 - 1}))$$

$\dots\dots\dots K$ の補正式: 数174

【0389】

$$K = 0.782(1 + \alpha) \quad (a_{2\max} = 3.106) \dots\dots\dots \text{数175}$$

比例定数 J については前節③項と同じである。

【0390】

④力率の検証: 補正前の K による $Pa+b$ と Pa を算出して $\Delta Pa+b$ を求めると

【数176】

$$Pa+b = 0.8243 E'o I'o (\text{補正前}) \dots\dots\dots \text{数176}$$

【0391】

【数177】

$$Pa = \frac{2}{\pi} \left\{ \int_{\kappa}^{\mu} p'a(\theta) d\theta + \int_{\mu}^{\lambda} pa(\theta) d\theta \right\}$$

$\dots\dots\dots$: 数177

【0392】

【数178】

$$Pa = 0.1862 E'o I'o \dots\dots\dots \text{数178}$$

【0393】

【数179】

$$\Delta P_{a+b} = E'o I'o (1 - (0.8243 + 0.1862)) = -0.0105 E'o I'o \dots\dots\dots \text{数179}$$

【0394】これより図29に示す直線($a=3.106$)によって補正係数 α を求めると

【0395】

【数180】

$$\alpha = -0.0285 \dots\dots\dots \text{数180}$$

【0396】以下(10章)(D)⑤項と同様の手順で

【数181】

【0397】

$$P_{a+b} = 0.8137 E'o I'o (\text{補正後}) \dots\dots\dots \text{数181}$$

【0398】

【数182】

$$P_{a+b} + Pa = 0.9959 E'o I'o (\approx 1.0 E'o I'o) \dots\dots\dots \text{数182}$$

【0399】

【数183】

$$I_{rms}^2 = \frac{2}{\pi} \left\{ \int_{\kappa}^{\mu} I_{a+b}^2(\theta) d\theta + \int_{\mu}^{\lambda} I_{a+b}^2(\theta) d\theta + \int_{\kappa}^{\lambda} I_{a+b}^2(\theta) d\theta \right\}$$

$\dots\dots\dots$: 数183

【0400】

【数184】

$$I_{rms}^2 = (2/\pi) (0.1317 I_{10}^2 + 0.0036 I_{20}^2 + 0.0297 I_{30}^2)$$

..... : 数184

【0401】

【数185】

$$I_{rms} = 0.323 I_{10} \text{ : 数185}$$

【0402】

【数186】

$$PF=0.9964 \text{ : 数186}$$

【0403】先に(11章)(B)節で述べたように図27において直線③はライン電圧 E_{2max} 近辺で E_c の設定下限式 $E \cos \kappa$ をわずかに割っているものの、この程度なら力率に及ぼす影響はほとんど認められないとしたが、このことは前記(186)式により力率がほぼ1.0を保てることから立証された。尚、(数180)式に示す補正係数 α の符号がマイナスであることに注意を要する。(数126)(数136)(数160)式に示す α の符号がプラスであったのは、(10章)(D)①項に述べたように整流ダイオードの逆短絡防止方式では、電力放出領域での電力取込不足分を電力蓄積領域において増やしておく必要があるからである。

【0404】これに対して(数1)に示す E_c 電圧の下限1を満足できない場合は、上記補正要因の他に、(11章)(B)節で述べた電力放出領域での電力放出不足分を電力蓄積領域において減らしておくという第2の補正要因が追加される。当然のことながら前者の補正係数の符号はプラスで後者はマイナスである。前記(数180)式の α の符号がマイナスであるのは、前者の要因のプラス分と後者のマイナス分の相殺結果がマイナスになったことを示している。またこれらの補正が(9章)(B)④項に述べた誤差増幅器器E A621を中心とするネガティブフィードバック制御ループによって行われることは言うまでもない。

【0405】⑤動作解析：本例においても(7章)(H)節と同様の手順で図31のような入力電流および各制御パルスの位相角—デューティ特性を得る。

【0406】(F)不連続モードにおける動作：前述の6章(A)で述べた様にフライバックトランスの動作モードには電流連続モードと電流不連続モードとがあり、以上の説明はその内、電流連続モードについて解析したが、不連続モードについても、リアクタンスの値を適切に設定して同様の解析を行った結果、98%程度の良好な力率を確保できることを確認した。

【0407】<12章> ** 起動時の動作解析 *

次に整流ダイオード逆短絡防止方式の起動時の動作について以下解析する。

(A)数式モデル：起動時もこれまで述べてきた制御回路が使えることが望ましい。ということはこれまで述べてきた数式モデルが起動時にも適用できることが望まし

く、以下に各領域毎に適用の可否について検証する。

【0408】①境界領域近辺：前記(7章)(B)節において、「電流連続モードでは負荷率の低い場合を除いて」図10(b)における電流 $i(\theta)$ 、 $i'_{o}(\theta)$ の時間変化(即ち電流波形頭部の傾斜)は無視でき、(10)式の等電流式が成立すると説明した。しかし起動開始直後においては出力電圧も低く出力電流も小さいため、上記(10)式的前提が崩れる。しかしながら、図10(b)における電流 $i(\theta)$ 、 $i'_{o}(\theta)$ の傾斜が無視できないにしても、これら電流の中央値において(10)式の等電流式が成立するため、境界点近辺では電流 $i(\theta)$ 、 $i'_{o}(\theta)$ を瞬時値ではなく中央値と読み替えることによって、(7章)(C)節の数式モデルが成立する。

【0409】②電力蓄積領域：次に電力蓄積領域においては、図11(b)に示すように、電流 $i_a(\theta)$ (図の $i_a+b(\theta)$ から $i_b(\theta)$ を差し引いた部分)と $i'_{o}(\theta)$ の間に $i_b(\theta)$ が存在するため、これら三つの電流は中央値をとっても(20)式の等電流式が成立しない。しかし起動時においては磁束および電流波形は図11(b)とは異なり図32(a)の如く、(数16)式における E_c が上昇途中でまだ小さいため $\Delta \phi_b$ は負となり、下降磁束ではなく上昇磁束となると共に、(数19)式における E_o も上昇途中でまだ小さいため $T_o(\theta)/T$ は $T_a(\theta)/T$ 、 $T_b(\theta)/T$ に比べて十分に大きいようになる。ここで後者は各電流の傾斜が小さいことを意味し、各電流の中央値をとれば(数20)式の等電流式が実用的に成立し、結果的に(7章)(C)節の数式モデルが適用できることが理解できる。

【0410】③電力放出領域：電力放出領域における起動時の磁束および各電流の波形は前項と同様の考え方から図32(b)の如く表され、やはり(数36)式の等電流式が実用的に成立し、(10章)(D)②項の数式モデルが適用できる。

【0411】(B)動作点の設定：

①境界の位相角 κ ：起動時においてもこれまで述べてきた制御回路を適用するため、 κ として(数49)式による境界点位相角を適用する。

②出力電圧 E'_{o} ：起動時にこれまで述べてきた制御回路を適用しても、 E'_{o} は瞬時に(数50)式の電流値にはならず時間と共に上昇してゆく。そこで E'_{o} を下

式で表される時間の関数とする次(数187)により表される(請求項22)。

$$E' o(t) = (1/\tau) t E \cos \kappa \quad (0 \leq t \leq \tau)$$

【0412】

【数187】

上式において時間 t が τ なる起動時間に達すると(数51)式で示す電圧 $E' o$ となり、これまで述べてきた起動後の解析と連続性が保たれる。

【0413】③ E_c 電圧： E_c も $E' o(t)$ と同様に時間

$$E_c(t) = k E' o(t) \quad (k > 1) \quad (0 \leq t \leq \tau)$$

…起動時出力電圧：数187

と共に上昇してゆくため、 $E_c(t)$ と $E' o(t)$ の関係を下式とする(請求項23)。

【0414】

【数188】

上式において起動時間に達すると(数151)で示す一般化した電圧 E_c となり、やはり起動後の解析と連続性が保たれる。

【0415】(C) E_c 電圧に対する考察：これまでの解析において E_c 電圧に対して三つの制限があった。即ち(数1)で示した E_c 電圧の下限1、(数5)で示した E_c 電圧の下限2、(数24)で表した E_c 電圧の上限である。前項で設定した(数188)式がこれらの制限

$$E_c(t) > E' o(t) \quad (0 \leq t \leq \tau)$$

…起動時 E_c 電圧：数188

とどういった関係にあるのかについて次に考察する。

【0416】① E_c 電圧の下限2：(数5)式に示す E_c 電圧の下限2は、全領域において $T_o(\theta)$ の期間 $i' o(\theta)$ が2次側に流れるための条件であり、起動時においても下式がその条件となる。

【0417】

【数189】

そして(数187)及び(数188)に示す時間軸をファクターとして設定した $E' o(t)$ 及び $E_c(t)$ が上式をクリアしていることは明らかである。

② E_c の上限：前記(数24)に示した E_c の上限は、電

$$E_c(t) < E \cos \theta + E' o(t) \quad (0 \leq t \leq \tau) \quad (-\kappa \leq \theta \leq \kappa)$$

…起動時 E_c 電圧の下限2：数189

力蓄積領域において $T_b(\theta)$ の期間 $i_b(\theta)$ が1次側に流れる条件で起動時においても下式がその条件となる。

【0418】

【数190】

そして(数187)(数188)式の設定が上記同様に上式をクリアしていることは明らかである。

③ E_c 電圧の下限1：(数1)に示す E_c 電圧の下限1は、電力放出領域において $T_c(\theta)$ の期間 $i_c(\theta)$ が流れ

$$E_c(t) > E \cos \theta \quad (0 \leq t \leq \tau)$$

$$(\kappa \leq \theta \leq \pi/2, -\kappa \geq \theta \geq -\pi/2)$$

…起動時 E_c 電圧の上限：数190

る条件で起動時においても下式がその条件となる。

【0419】

【数191】

しかし本(数191)式において $E_c(t)$ は0から上昇してゆくの式は常には成立しないことが判る。この E_c 電圧の下限1を満足できない場合の問題は、(11章)(B)節において図27に示した直線③が下限式を割っているモードで述べたように、電力A、Bのバランスが崩れて力率が低下することである。

【0420】従って $E_c(t)$ が小さいほど力率は低下するが、 $E_c(t)$ が小さいほど $E' o(t)$ も小さく、入力電力も小さいので起動時の力率低下が問題にならないことが判る。

【0421】尚、(数191)式を満足できない領域においては(数166～数171：入力電流瞬時式/平均値/入力電力平均値)式において、 $E' o$ を $E' o(t)$ と読み替えた数式モデルを適用できる。

【0422】この数式モデル誘導の基本式の一つである等電流式は、(12章)(A)①項で述べたと同じ理由で負荷率が低く電流の連続性が失われた場合でも成立す

…起動時 E_c 電圧の下限1：数191

る。ここに(数166)式の θ の範囲を規定する位相角 μ は、 $E' o(t)$ が小さいほど $\pi/2$ に近く、 $E' o(t)$ が $E' o$ に近づくにしたがって κ に近づくことは言うまでもない。

【0423】(D)電流制御式の比例定数：

①比例定数K：これまで述べてきた制御回路を変更しないで適用するために(数152)式の比例定数Kを踏襲する。

②比例定数J：これまで述べてきた制御回路を変更しないで適用するために(数156)式の比例定数J'を踏襲する。

(E)制御回路：

①電圧制御回路：電圧制御回路の具備すべき要件で(9章)(A)節との相違を表8に示し、その要件を実現する回路を図33上段に示す。

【0424】

【表8】

表8

NO.	項 目	内 容	式
1	出力電圧制御	$E'_{\alpha}(t) = (\tau / \tau) t E \cos \kappa$ ($0 \leq t \leq \tau$)	(187)

【0425】この図33に示した電圧制御回路606は、抵抗R611及びコンデンサC611により積分回路を構成し、該積分回路により誤差増幅器E A611の基準電圧を徐々に上昇させることにより、出力電圧をソフトスタートさせる様に構成している。また図中のダイオードD611は、電源立ち下げ時コンデンサC611のチャージ引抜

$$\tau = 3C611 \cdot R611 \text{ (起動時間)}$$

②電力蓄積制御回路：電力蓄積制御回路の具備すべき要件で(9章)(B)節との相違を表9に示し、その要件を実現する回路を図33下段に示す。

きの作用を行うものである。本回路において、前記(数187)を用いて説明した $E'_{\alpha}(t)$ における起動時間 τ は下式(数192)によって近似することができる。

【0426】

【数192】

$$\dots \text{数192}$$

【0427】

【表9】

表9

NO.	項 目	内 容	式
1	E_c の電圧制御	$E_c(t) = k E'_{\alpha}(t)$ ($0 \leq t \leq \tau$)	(188)
2	Kの補正2	起動時 E_c 電圧の下限1抵触の補正	(191)
3	Kの補正3	等電流式の誤差補正	(20)

【0428】(a) E_c の電圧制御：図33下段に示した電力蓄積制御回路605は、抵抗R628とコンデンサC623により積分回路を構成し、該積分回路により誤差増幅器E A621の基準電圧を徐々に上昇させることにより、出力電圧 $E'_{\alpha}(t)$ と同期をとりながら $E_c(t)$ をソフトスタートさせるものである。本回路においても前記同様にダイオードD625が電源立ち下げ時にコンデンサC623のチャージ引抜きの作用を行っている。本回路における積分時定数と(数192)で示す起動時間の積分時定数との関係は下式の通りである。

【0429】

【数193】

$$C623 \cdot R628 = C611 \cdot R611 \dots \text{数193}$$

(b)Kの補正2：前述の(12)(C)③項に述べたように(191)で表される「起動時 E_c 電圧の下限1」の条件は常には成立しないものであり、その条件が成立しない場合、Kが「第2の補正要因」でマイナスに補正されることは(11章)(E)④項にて述べたとおりである。

【0430】(c)Kの補正3：前記(12章)(A)②項における説明では、起動時には負荷率が小さいため(数20)の等電流式は厳密には成立しないと述べた。この誤差が本実施形態による電力蓄積制御回路により如何に補正されるかを考察する。(数20)を構成する三つの電流($i(\theta)$, $i_b(\theta)$, $i'_{\alpha}(\theta)$)は図32

(a)に示す様にその中央値が下式(数194)の関係にある。

【0431】

【数194】

$$i_b(\theta) > i'_{\alpha}(\theta) > i_a(\theta) \dots \text{数194}$$

従ってこれらを等しいことを前提とした(7章)(C)節で述べた数式モデルを実現した図15に示す回路は、減算器SUB621/抵抗R625/コンデンサC622により設定される $T_b(\theta)$ は、 $E_c(t)$ を(数188)式で示した起動時 E_c 電圧よりも高くする方向にあることが判る。即ち、これがKの第3の補正要因であり、誤差増幅器E A621を中心とするネガティブフィードバック制御によって $T_b(\theta)$ は小さい方向に微調整され、 $E_c(t)$ を(数188)式に示すような誤差増幅器E A621の基準電圧で設定された値に近づけることができる。尚、この場合の補正係数の符号は第2の補正係数と同様にマイナスである。

【0432】(d)Kの補正誤差：前述の(9章)(B)

④項に述べたように、Kを補正するループゲインは、予め低めに設定されているため補正誤差が発生している。特に起動直後の $E_c(t)$ が小さい時間領域においては位相角 μ は κ から離れて(数191)との乖離が大きくなり、補正誤差も大きい。この場合の補正係数はマイナスであるから $E_c(t)$ は設定値より高い方にずれるが、 $E_c(t)$ が小さい時間領域においてこれが高めにずれることはかえって好ましい(次項a)参照)。

【0433】③電力放出制御回路：電力蓄積領域におけると同様に電力放出領域においても、 E_c 電圧下限1抵触領域における補正や等電流式との誤差の補正が行われ

ているので、これらに対する電力放出制御回路と電圧制御回路の挙動について次に述べる。

(a) E_c 電圧下限1 抵触領域における補正：図34 (C) は電力放出領域における基本的動作のタイムチャートで、図25と図26を合成したものである。図示するように電力放出制御回路によって(数105)で示されるライン電圧の位相角に応じた $T_c(\theta)$ パルスが生成される。この $T_c(\theta)$ の期間 $i_c(\theta)$ がフライバックトランスに流れ、引き続いて電圧制御回路によって出力電圧を維持するに必要な $T_a(\theta)$ の期間 $i_a(\theta)$ が流れる。即ち図34 (C) は起動完了後のタイムチャートである。

【0434】図34 (B) は起動途中のタイムチャートで、 $E_c(t)$ はその下限1であるライン電圧 $E \cos \theta$ に達していない(もっとも起動途中でも θ が $\pm \pi/2$ に近い領域では $E_c(t) > E \cos \theta$ となって図34 (C) のタイムチャートとなるが)。したがって位相角に応じた $T_c(\theta)$ パルスが生成されても、ライン電圧の方が $E_c(t)$ よりも高いため、 $T_c(\theta)$ 、 $T_a(\theta)$ の両期間とも $i_a(\theta)$ が流れ、 $i_c(\theta)$ は流れない。この場合 $E \cos \theta$ が $E_c(t)$ よりも高いため、磁束上昇能力に問題がないことは勿論である。

【0435】図34 (C) は起動開始直後のタイムチャートで、 $E_c(t)$ はその下限1である $E \cos \theta$ よりもはるかに小さい。この場合 $T_a + c(\theta)$ が電圧制御回路によって早く閉じられてしまうため、 $T_c(\theta)$ も位相角に応じたパルス幅に達する前に消滅する。この場合も $T_c(\theta)$ の期間 $i_a(\theta)$ が流れ、 $i_c(\theta)$ は流れない。

【0436】(b) 等電流式との誤差の補正：前項(c)と同様に(数36)の三つの電流は図32 (b) に示す様にその中央値は下式の関係にある。

【0437】

【数195】

$i_a(\theta) > i_o(\theta) > i_c(\theta)$ …… 数195
従ってこれらを等しいことを前提として構築した(10章)(D) ②項の数式モデルを制御回路として実現した図24の電力放出回路604の減算器SUB641と抵抗R641とコンデンサC641の値で設定される $T_c(\theta)$ は、 $E_o(t)$ を(数187)で示した起動時出力電圧の設定値まで上昇させるに不十分である。この傾向は $E_o(t)$ が小さいほど顕著である。

【0438】このように電力放出領域において出力電圧が設定値より低い場合、電圧制御回路は $T_a(\theta)$ を広げることによって補正するが、その時点のライン電圧 $E \cos \theta$ に磁束上昇能力が十分あるかが問題となる。しかし上述のように $E_o(t)$ が小さいときの起動時には、補正動作に必要な磁束上昇能力も小さく、先に検討した(10章)(C) 節に述べた設定が実用上は使用することができることが判る。

【0439】<13章> ** システム構成 **
前章までに説明した回路構成は、単一のスイッチングレ

ギュレータの例を示したものであるが、本発明は、複数のスイッチングレギュレータを組み合わせた構成においても有効であり、以下これを説明する。

(A) マルチチャネル構成：一般に電源装置は、12V/5V/3.3Vというように複数の出力電圧チャネルを持った所謂マルチチャネル構成をとることが多い。このような場合は各チャネルの力率制御部の大部分を共用することによって、マルチチャネル構成に伴う回路の複雑化を緩和することができる。チャネル数が2の場合のマルチチャネル構成例を図35に示す。図35は、図6と比較すると、フライバックコンバータ部をチャネル1用601とチャネル2用601'の2組設けたにもかかわらず、整流部603と力率制御部602は共用化することができ、これらの二重化を避け、回路構成を単純化したことを特徴とする。但し、電力蓄積制御回路については完全な共用化はできず、これを共用部と2つの個別部631/632に分け、個別部はフライバックコンバータ部に取り込んでいる。

【0440】図36に示した回路は、共用の電力蓄積制御回路630と個別の電力蓄積制御回路631及び632の関係を示す図であり、本回路は、図15に示した構成と比較すると、電力蓄積制御回路共用部630の減算器SUB621及び誤差増幅器EA621からの出力を、2つの電力蓄積制御回路個別部631及び632の比較器COM621及びCOM621'及び抵抗R627及びR627'に入力する様に構成し、電力蓄積制御回路個別部631及び632における抵抗及びコンデンサで構成される積分器のリセットトランジスタT621及びT621'に各々のチャネルの(E)出力、即ち(E1)(E2)を入力することにより各々のチャネルの負荷に応じた電力を電力蓄積コンデンサに取り込む様に構成している。

【0441】更に電力放出制御回路の共用化について言及すると、本回路は、各チャネルの電圧制御回路606及び606'のクロックを同一位相に同期化することによって電力放出制御回路の全部とコンデンサC61、ダイオードD61、スイッチ素子SW63、ダイオードD63を共用して図35の力率制御部602に示す様に回路の二重化を避けることができる(請求項24)。

【0442】(B) プッシュプル接続構成：前記表1のNO.10記載の2次側平滑コンデンサの高調波リプル電流の問題は、(4章)(A) 節において近年はESR(等価直列抵抗)の小さいコンデンサが実用に供されて問題の深刻さは薄れつつあると説明した。しかし一方では5V/3.3Vのような低い出力電圧の電源が大容量化の傾向にあり、対策と問題の波及がイタチゴッコの関係にある。更なる対策としてはプッシュプル接続構成が有効である。即ち一つの電圧チャネルを、それが必要とする電力容量の半分のスイッチングレギュレータ2組で構成し、それぞれのレギュレータのスイッチング位相を1/2周期ずらすことによって得られる、フライバック

トランスの出力電流位相が $1/2$ 周期ずれたレギュレータ出力を互いに突き合わせ接続する構成である（請求項25）。

【0443】本実施形態におけるプッシュプル接続構成例を図37に示し、その電力放出制御回路とタイムチャートをそれぞれ図38及び図39に示す。図37に示す回路は、図6に記した回路と比較すると1つの負荷406に対して必要とする容量の半分の特性を満足するトランス及びコンデンサからなるフライバックコンバータ部2組を準備し、図39に示す如くそれぞれの電圧制御回路のスイッチング位相（クロック1及び2）を $1/2$ 周期ずらし、図38に示した電力放出制御回路における積分器のリセットトランジスタT641に各々の電圧制御回路の（E）出力、即ち（E1）（E2）をオア入力することにより、2次側平滑コンデンサの高調波リプル電流の発生を抑制することができる。

【0444】このプッシュプル接続構成の場合は前節のマルチチャネル構成の場合と違ってクロック位相が $1/2$ 周期ずれているが、それでもマルチチャネル構成の場合と同様に電力蓄積制御回路の一部と電力放出制御回路およびコンデンサC61、ダイオードD61、スイッチ素子SW63、ダイオードD63を共用することができる（請求項26）。

【0445】（C）冗長化構成：近年の電源装置においては、フェールダウンを防止するための電源の冗長化構成が普及してきている。この場合も表1、NO.10記載の問題を容易に対策することができる。即ち複数のスイッチングレギュレータを n 組に分け、各組のレギュレータのスイッチング位相を $1/n$ 周期ずつずらせることによって得られる、フライバックトランスの出力電流位相が $1/n$ 周期ずれたレギュレータ出力を互いに突き合わせ接続する構成である（請求項27）。

【0446】この場合は冗長化を目的としているため制御回路を共用することはない。換言すれば、表1、NO.10記載の問題を対策するために前節や前々節に述べたように制御回路を追加する必要はなく、単にクロック位相を $1/n$ 周期ずつずらすだけで事足れることを意味する。

【0447】（D）ワイドレンジ入力電圧構成：100V、200V共用の所謂ワイドレンジ入力電圧における動作特性は、11章にて詳述した通りである。しかし、このワイドレンジ対応のトランスT40は、200V回路の電圧仕様と100V回路の電流仕様が要求され、その所用電力容量はシングルレンジ入力電圧の場合の2倍の容量を持つものが必要となる。

【0448】この改善策として、本実施形態においては、図40（b）に示した如く、電力容量が所望値の半分の100V回路用のフライバックトランスT41及びT42を用意してその2次側出力を並列接続し、入力電圧を検出して100V入力の場合はトランスT41とT42の1

次側を並列接続し、200V系の場合はトランスT41とT42の1次側を直列接続する様に、リレー400を切り換えることにより100V及び200V仕様の電力を供給する電源回路を構成する。また本実施形態においては、前記リレーに代えて図40（c）に示した如く、電力容量が所望値の半分の100V回路用のフライバックトランスT41及びT42を用意すると共に、これらトランスをMOSトランジスタによりスイッチ素子SW70及びSW71を用いて切り換える様に構成しても良い（請求項28）。

【0449】<14章> ** 低出力電圧化対応 **

近年における各種半導体素子の電源電圧は、省電力化及び高速化の要望により、5Vから3.3V、更には2Vへと低電圧化の傾向にある。しかし、この低電圧化は、電源装置側からみれば出力回路のダイオードドロップによる損失の比重を増加させて電力変換効率の低下を招いている。この不具合を解決するため近年の低出力電圧用電源装置は、出力回路のダイオードの代わりにMOSトランジスタを用いる同期整流方式が採用されている。

【0450】そこで本実施形態においては、図41に示す如く、本発明の前記各実施形態においてはフライバックトランスT43の2次側に設けたダイオードD64の代わりに損失の少ないMOSトランジスタSW73に置き換えたことを特徴とする（請求項29）。

【0451】MOSトランジスタの場合は、ダイオードと異なりゲート駆動信号を必要とするため、フライバックトランスに3次巻き線（N3）を設け、その出力を抵抗R410を介して該MOSトランジスタSW73のゲートに接続した。

【0452】一般にフォワードコンバータ方式では、トランスの2次側回路のダイオードは整流用と転流用の2個使われるため、効率対策を徹底するためには2個のMOSトランジスタを必要とするが、本方式では1個ですますことができる。

【0453】<15章> ** 電圧型PWM制御方式への適用 **

（A）基本構成：14章までの記述は、本発明を一般にフライバックトランス方式と呼ばれる電流型PWM制御方式へ適用した例であるが、本発明はフォワードコンバータ方式と呼ばれる電圧型PWM制御方式への適用も可能である。

【0454】図42に本発明をフォワードコンバータ方式のスイッチングレギュレータへ適用した例を示す。このスイッチングレギュレータは、整流部703、力率制御部702及びフォワードコンバータ部701で構成され、これら基本構成は図6における整流部603、力率制御部602と図1におけるフォワードコンバータ部102を組み合わせたものに準ずる。ただフォワードコンバータ部104と701の間には基本的な相違がある。

それは、前者のトランスT11がその1次側電流に直流重畳特性を持たせないよう設計しているのに対し、後者のトランスT71はコアにギャップを設けるなどしてフライバックトランスと同様に積極的に直流重畳特性を持たせ、その直流重畳特性の機能によって図3に示す電力蓄積領域における余剰電力Bを電力蓄積コンデンサC71に貯えようとするものである（請求項30は電流／電圧両方式を包含）。

【0455】以下に、本発明を電圧型PWM制御方式へ適用したスイッチングレギュレータの動作を、図42並びにタイムチャートを示す図43を用いて説明する。

①境界点における動作（図43の中央列参照）：先ず境界点における動作は一般のフォワードコンバータ方式のスイッチングレギュレータと何ら変わらない。即ち、ACライン409の電圧が整流器111で全波整流された後、スイッチ素子SW71及びSW72を介してトランスT71に供給される。これらのスイッチ素子は電圧制御回路711によって制御され、負荷720に必用な所定の電力がトランスT71の2次側に変換される。

【0456】即ち、スイッチ素子SW71及びSW72は、電圧制御回路711の出力 $Ta+(c)(\theta)$ パルスによって導通し、入力電流 $i(\theta)$ がトランスT71の1次側電流 $ia+(c)(\theta)$ として流れ、この電流の巻数比の逆数倍の電流が2次側電流 $io(\theta)$ として同位相で流れる。 $Ta+(c)(\theta)$ パルスは、出力電圧 E_o が一定に保たれるよう制御され、その結果、その平均値が負荷電流 I_o となるような2次側電流 $io(\theta)$ が流れる。このとき、許容最小電圧における境界点の電圧が所定の電力を2次側に変換するに十分な電圧値になるよう設定されていなければならない事は勿論である。

【0457】尚、境界点におけるライン電圧 $E \cos \kappa$ はトランスの磁束を上昇させるセット電圧として働き、定常状態では同量の磁束を下降させるリセット電圧が必要であるが、スイッチ素子SW71及びSW72の両方を遮断すると、トランスT71の励磁電流はダイオードD71、電力蓄積コンデンサC71、ダイオードD72を閉ループとして流れ、電力蓄積コンデンサC71の動作電圧 E_c がリセット電圧として作用する。この時、電力蓄積コンデンサC71がサージアブソーバとしても機能することは14章

$$(Ta+(c)(\theta)/T) E \cos \theta - (Tb(\theta)/T) (Ec - E \cos \theta)$$

まで述べてきたフライバックトランス方式と同じである。

【0458】また前述したようにトランスT71の1次側電流は、直流重畳特性を持つが、境界点においてはリセット電圧 E_c によって過剰気味にリセットされるよう設定され、トランスは直流重畳量の小さい領域、即ち励磁電流の小さい領域で単純な変圧器動作をするため、直流重畳特性の機能を積極的に利用することはしない。したがって、電流 $i(\theta)/ia+(c)(\theta)/io(\theta)$ の電流波形もほぼフラットで、共にその頭部の傾斜は小さい。

【0459】②電力蓄積領域における動作（図43の左列参照）：次に電力蓄積領域においては、電圧制御回路711の出力 $Ta+(c)(\theta)$ パルスによってスイッチ素子SW71及びSW72が導通してトランスT71の1次側に電流 $ia+(c)(\theta)$ が流れ、この電流の巻数比の逆数倍の電流が2次側電流 $io(\theta)$ として同位相で流れることによって、図3に示す電力蓄積領域における電力Aが負荷720に必用な所定電力としてトランスT71の2次側に変換されるところまでは、境界点における動作とほとんど同じである。

【0460】しかしスイッチ素子SW71が遮断した後も、電力蓄積制御回路713の出力 $Tb(\theta)$ パルスによってスイッチ素子SW72は導通し続け、電流 $ia+(c)(\theta)$ に引き続いて電流 $ib(\theta)$ を流す。しかしこの電流 $ib(\theta)$ はもはやスイッチ素子SW71を流れることはできないので、フライホイールダイオードD71を経由して該コンデンサC71に流れ込み、この結果、電流 $ib(\theta)$ と電圧 E_c の積が図3に示す余剰電力Bとして電力蓄積コンデンサC71に蓄積される。

【0461】この領域におけるトランス磁束のセット／リセットの関係は、 $Ta+(c)(\theta)$ の期間印加されるライン電圧 $E \cos \theta$ がセット電圧として働き、リセット電圧としては、電力蓄積コンデンサC71の動作電圧 E_c からライン電圧 $E \cos \theta$ を差し引いた $Ec - E \cos \theta$ なる電圧が、 $Tb(\theta)$ の機能その役を果たす、そしてこれらの関係は、定常状態では下式となる。

【0462】

【数196】

----- 磁束の平衡式：数196

【0463】但し、このリセット電圧が2次側に順電圧として印加されないよう、即ち $ib(\theta)$ が2次側に流れないよう、 $Ec - E \cos \theta$ には下式の制約が課される。

$$Ec - E \cos \theta > 0$$

【0465】ここで、蓄積される余剰電力Bは、

【0466】

【0464】

【数197】

----- E_c 電圧の下限：数197

【数198】

$$\frac{2}{\pi} \int_0^{\pi} (Tb(\theta)/T)(E_o - E \cos \theta) i_b(\theta) d\theta$$

…… 数 198

【0467】となり、電流 $i_b(\theta)$ を加減することは、原理的には(数196)式のバランスを調整する事によって行われる。即ち、 $i_b(\theta)$ を増やすためには(数196)式の左項を右項より大きくし、 $i_b(\theta)$ を減らすためには右項を左項より大きくする。この $i_b(\theta)$ の最大値はトランス1次側の直流重畳特性を適切に設定することによって必要十分な電流値を確保することができる。図43において、電流 $i(\theta)/i_{a+c}(\theta)/i_b(\theta)$ の電流波形の頭部に傾斜ができるのはこの直流重畳特性のためである(7章C節参照)。

【0468】これらの制御動作は、電力蓄積コンデンサC71の動作電圧 E_c が一定になるよう、電力蓄積制御回路713によって $Tb(\theta)$ パルスを制御することによって行われる。但し、 $i_b(\theta)$ の流入や次に述べる i_c の流出によって E_c 電圧が大きく変動しない程度に、C71の電力容量を大きく選定すると共にフィードバックループのループゲインを低めに抑えることは、(10章)A節④項に述べた通りである。

【0469】また、 $Ta+c(\theta)$ パルスが出力電圧 E_o を一定に保つよう制御されることは、境界点における動作と同じである。

【0470】③電力放出領域における動作(図43の右列参照)：電力放出領域においては、スイッチ素子SW73が導通し、ライン電圧に代わって E_c 電圧がトランスに印加される。14章まで述べてきたフライバックトランス方式との相違は、この領域では図3に示す全波整流ライン電圧の位相角に応じた電力Aはラインからは必ずしも供給される必要はなく、全て電力蓄積コンデンサC71から供給されても良い事である(このことは数197式によって可能である)。従って電力放出制御回路714の出力 $Tc(\theta)$ は必ずしも位相角に応じたパルスである必要はなく、電力放出領域の間出放しのレベル信号 Tc として良い。また電流 $i_c(\theta)$ も位相角 θ の関数ではなく負荷と E_c 電圧によって決まる i_c として良い。また、 $Ta+c(\theta)$ パルスが出力電圧 E_o を一定に保つよう制御されることは、境界点における動作と同じである。

【0471】尚、この領域におけるトランス磁束のセット/リセットの関係は、境界点動作におけるセット電圧が E_c 電圧に変わっただけで、リセット電圧が E_c 電圧であること、またリセットは過剰気味に行われて、トランスの励磁電流が小さい領域で動作することなどは、境界点動作における動作と同じである。

【0472】④動作点の設定：前項で述べたように電力放出領域ではラインからその位相角に応じた電力Aを取り込まないため、境界点の位相角 κ が $\pm \pi/4$ 近辺では

ライン電流の流入角が小さく、力率が90%程度に低下する。従って $\pm \pi/3$ 近辺まで大きくすることが望ましく、こうすることによって力率は95%程度にまで回復する。

【0473】(B)システム構成：以上は電圧型PWM制御方式スイッチングレギュレータの基本構成について述べたが、これらを組み合わせたマルチチャネル構成において回路の複雑さを緩和することができ、ワイドレンジ入力構成が可能なことも(13章)と同様である(請求項31は電流/電圧両方式を包含)。

【0474】(C)適用効果：この方式は、トランスの2次側回路の簡素化という点ではフライバックトランス方式に劣るが、トランス2次側におけるライン周波数リップルという点でフライバックトランス方式に優る。従って、低出力電圧で大容量の高力率スイッチングレギュレータとして好適である。

【0475】

【発明の効果】以上述べた如く本発明によるスイッチングレギュレータは、部品点数を削減しながら高力率及び低ノイズの要求を満たすことができる。具体的に述べると本発明によるスイッチングレギュレータ及び電源装置は、電力蓄積コンデンサの機能をトランスの1次側に配置すると共に、該コンデンサへの電力の蓄積を制御する電力蓄積制御回路と、該コンデンサからの電力の放出を制御する電力放出制御回路と、トランスの出力電圧を一定に制御する電圧制御回路とを設け、ライン電圧の山の部分においてはラインから供給される電力の内、負荷に必要とする所定の電力を電圧制御回路がトランスを介してその2次側に供給すると共に該蓄積制御回路がライン電圧の位相角に応じた余剰電力をコンデンサに蓄積し、ライン電圧の谷の部分においては前記放出制御回路がコンデンサに蓄積した電力をスイッチ素子を用いてトランスに供給する様に構成したことにより、力率の向上/ライン周波数リップルの抑制/瞬電時エネルギーの貯留/ノイズの削減等の効果を奏することができる。

【図面の簡単な説明】

【図1】アクティブフィルタを用いた高力率スイッチングレギュレータの基本回路を示す図。

【図2】フライバックトランス方式スイッチングレギュレータの基本回路を示す図。

【図3】ACラインと出力側の電圧/電流/電力の波形の関係を示す図。

【図4】図1および図2に示した従来方式の概念を説明するための図。

【図5】本発明によるスイッチングレギュレータの概念を説明するための図。

【図6】本発明によるスイッチングレギュレータの基本回路構成を説明するための図。

【図7】図6に示した回路における電圧制御回路を説明するための図。

【図8】図6に示した回路動作を説明するためのタイムチャート。

【図9】図6に示した基本回路構成の動作解析モデルを示す図。

【図10】前記動作解析モデルの境界点における動作を説明するための図。

【図11】前記動作解析モデルの電力蓄積領域における動作を説明するための図。

【図12】本発明の動作解析モデルの電力放出領域における動作を説明するための図。

【図13】基本電圧における入力電流及び制御パルスの位相角－デューティ特性を示す図。

【図14】許容最大電圧における入力電流及び制御パルスの位相角－デューティ特性を示す図。

【図15】本発明の一実施形態による電力蓄積制御回路の構成を説明するための図。

【図16】図15に示した回路の動作を説明するためのタイムチャート。

【図17】図15に示した回路の比例定数 $K \cdot J$ のライン電圧特性を示す図。

【図18】本発明の一実施形態による電力放出制御回路の構成を説明するための図。

【図19】図18に示した回路の動作を説明するためのタイムチャート。

【図20】整流ダイオードの逆短絡を防止する方式の電流制御式を検討するための図。

【図21】電力蓄積領域における電力 P_{a+b} とその補正係数 α との関係を示す図。

【図22】整流ダイオードの逆短絡を防止する方式の基本電圧における入力電流及び制御パルスの位相角－デューティ特性を示す図。

【図23】整流ダイオードの逆短絡を防止する方式の許容最大電圧における入力電流及び制御パルスの位相角－デューティ特性を示す図。

【図24】本発明の一実施形態による電流放出制御回路の構成を説明するための図。

【図25】図24に示した回路の動作を説明するためのタイムチャート。

【図26】整流ダイオードの逆短絡を防止する方式の各領域における動作を説明するためのタイムチャート。

【図27】 E_c 電圧設定式を検討するための図。

【図28】ワイド入力電力蓄積領域における電力 ΔP_{a+b} とその補正係数 α との関係を示す図。

【図29】ワイド入力における電流制御式を検討するための図。

【図30】ワイド入力200V系許容最小電圧における入力電流及び制御パルスの位相角－デューティ特性を示す図。

【図31】ワイド入力200V系許容最大電圧における入力電流及び制御パルスの位相角－デューティ特性を示す図。

【図32】本発明の起動時における動作を説明するためのタイムチャート。

【図33】本発明の起動時の回路構成を説明するための図。

【図34】図33に示した回路の動作を説明するためのタイムチャート。

【図35】本発明の他の実施形態によるマルチチャネル構成の電源装置を説明するための図。

【図36】図35に示した共用及び個別電力蓄積制御回路を示す図。

【図37】本発明の他の実施形態によるブッシュアップ接続構成の電源装置を説明するための図。

【図38】図37における電力放出制御回路の回路構成を説明するための図。

【図39】図37及び図38に示した回路の動作を説明するためのタイムチャート。

【図40】他の実施形態によるフライバックトランスの回路構成を示す図。

【図41】他の実施形態によるフライバックトランスの出力側回路構成を示す図。

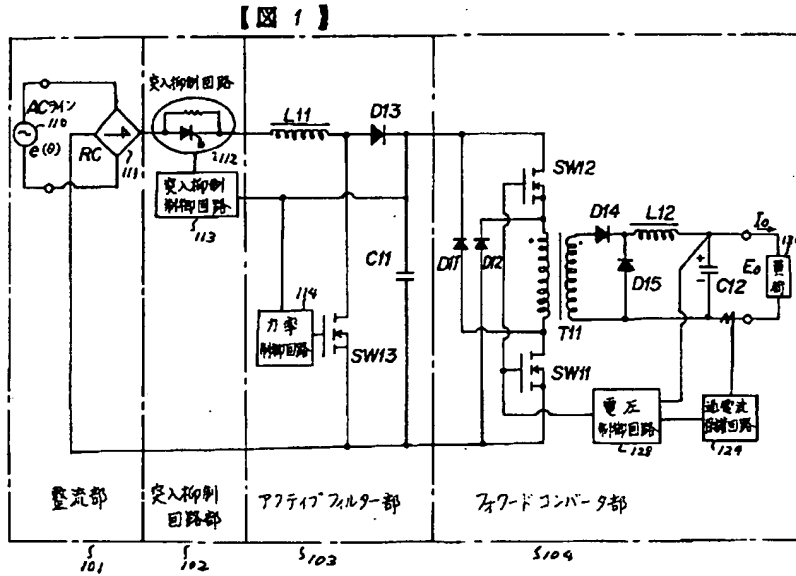
【図42】本発明を電圧型PWM制御方式に適用したスイッチングレギュレータの基本回路を示す図。

【図43】図42に示した回路動作を説明するためのタイムチャート。

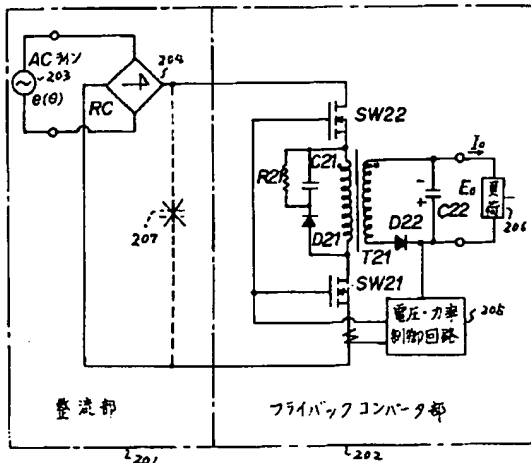
【符号の説明】

406：負荷，409：ACライン，501：整流器，502／604：電力放出制御回路，503／604：電力蓄積制御回路，506／606：電圧制御回路，601：フライバックコンバータ部，602：力率制御部，603：整流部，620：フォトカプラ，630：電力蓄積制御回路共用部，631／632：電力蓄積制御回路個別部。

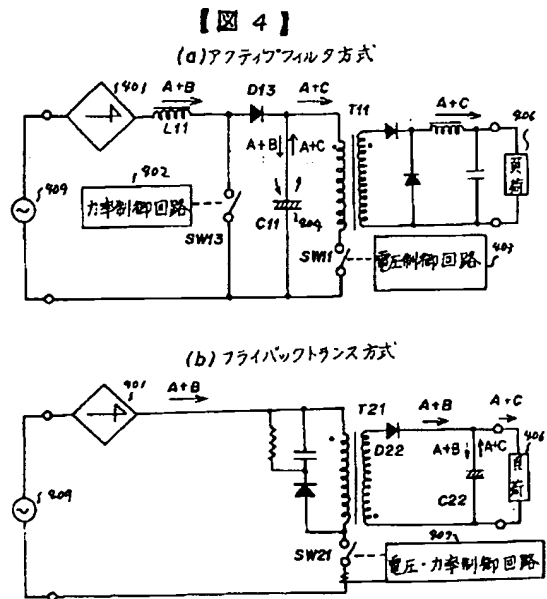
【図1】



【図2】

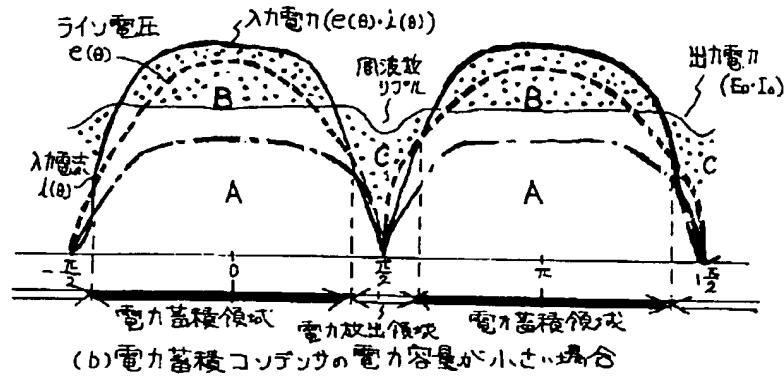
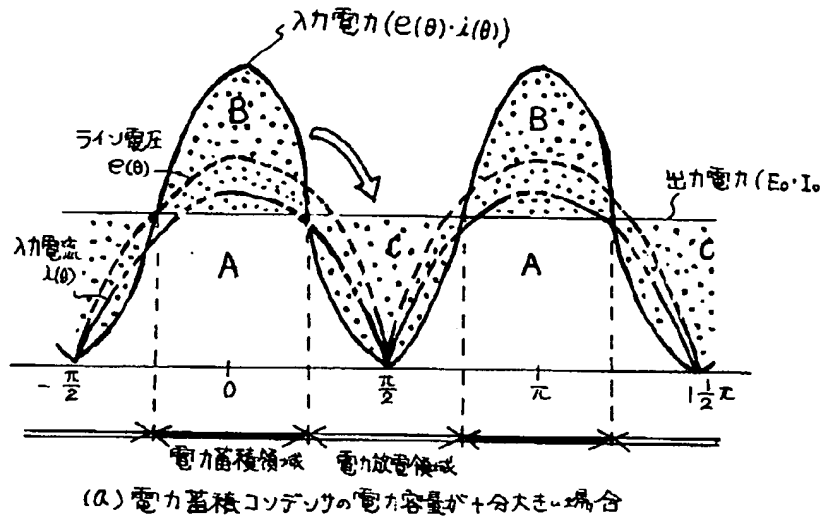


【図4】



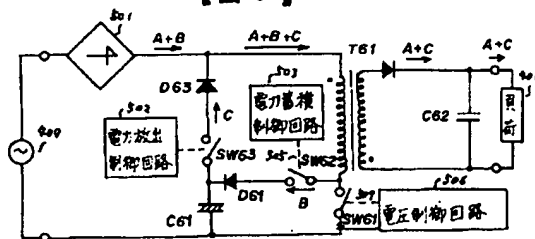
【図3】

【図3】



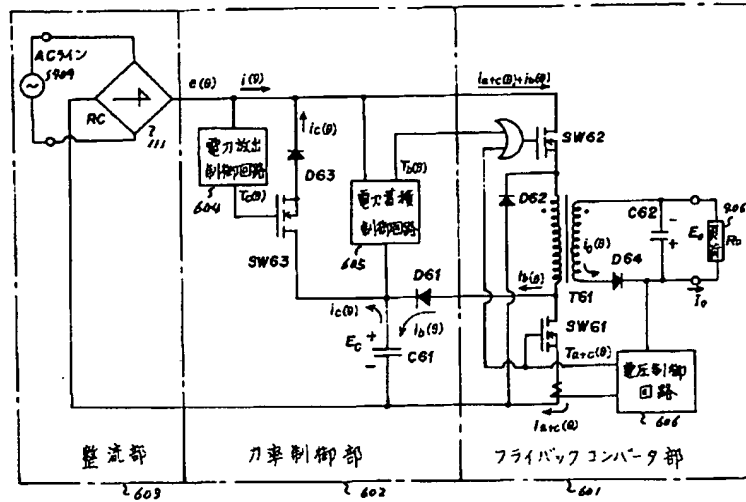
【図5】

【図5】



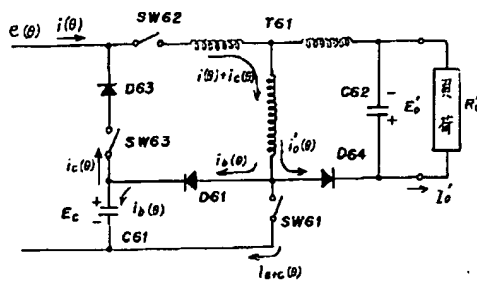
【図6】

【図6】



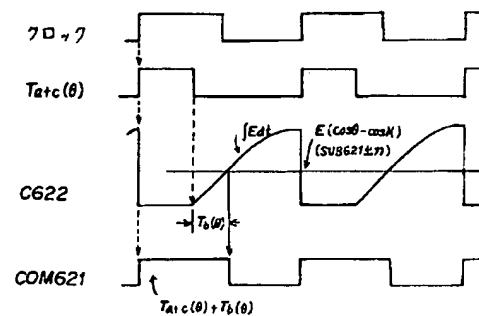
【図9】

【図9】



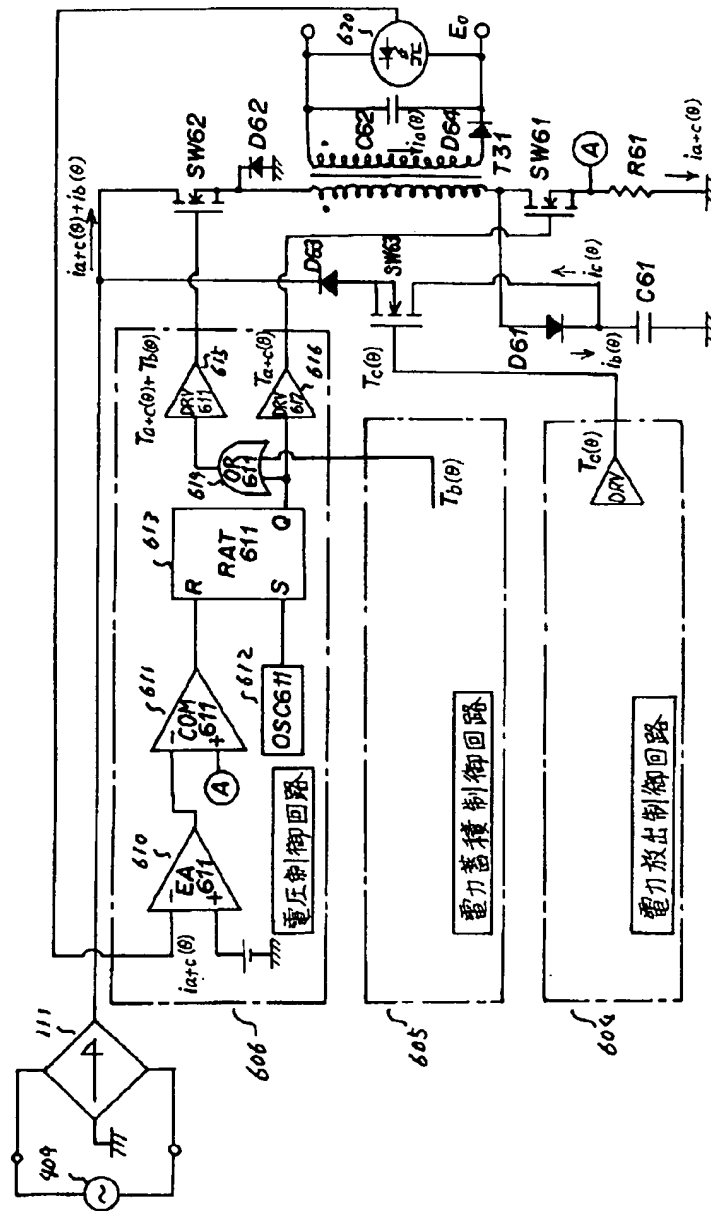
【図16】

【図16】



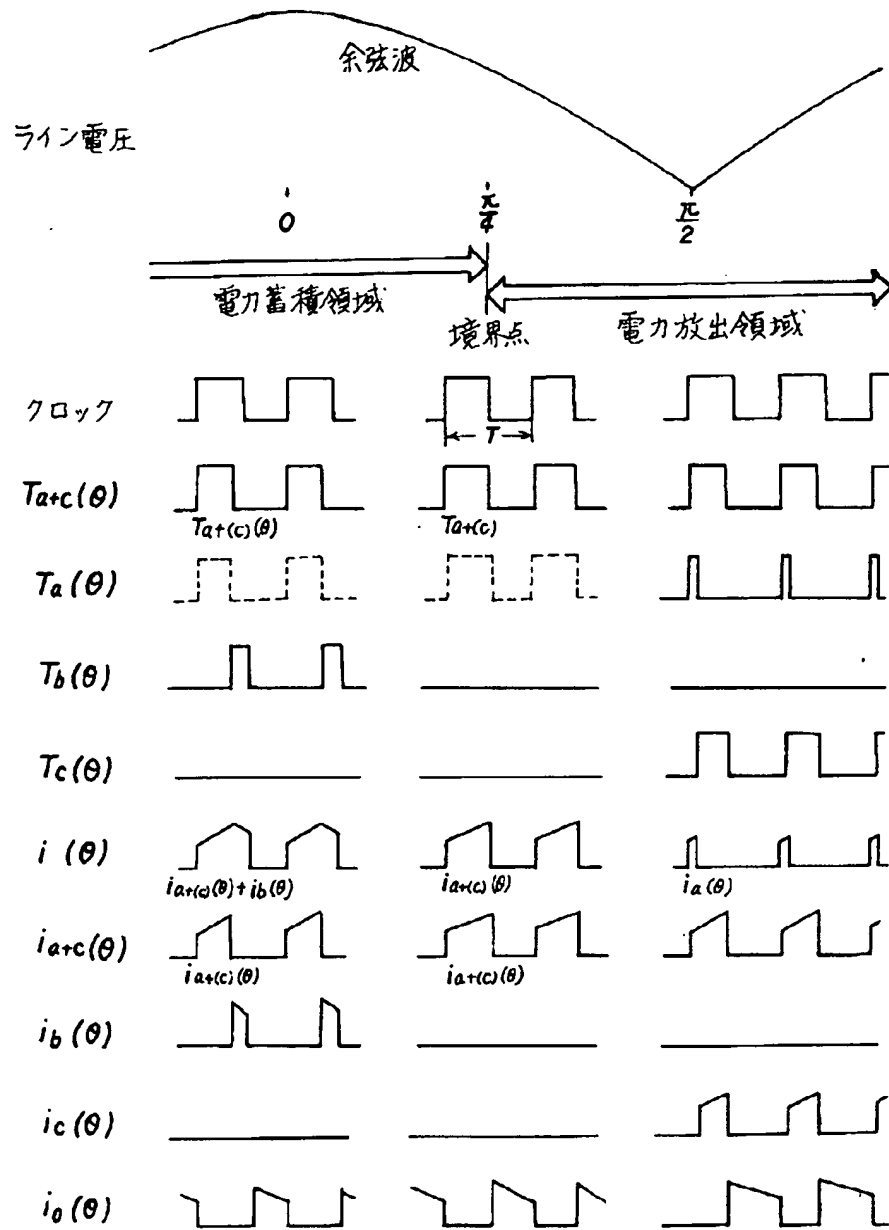
【図7】

【図7】



【図8】

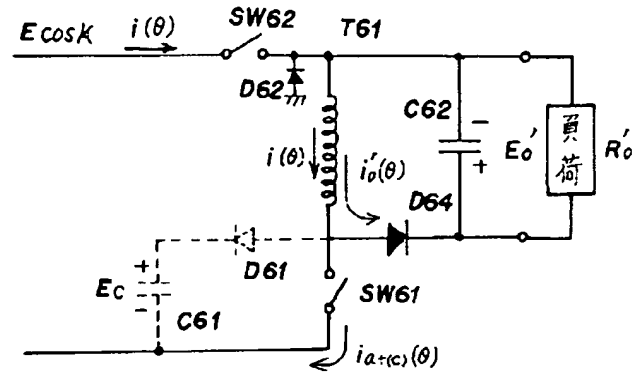
【図8】



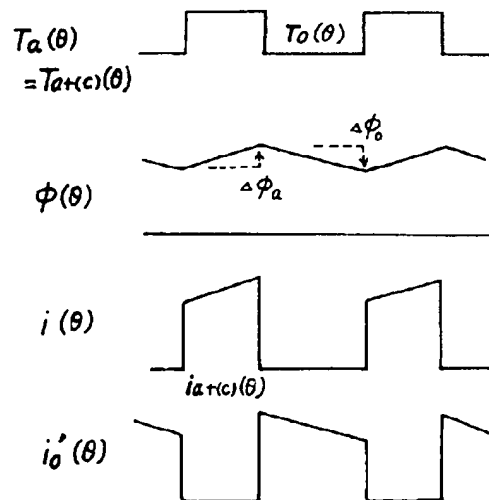
【図10】

【図10】

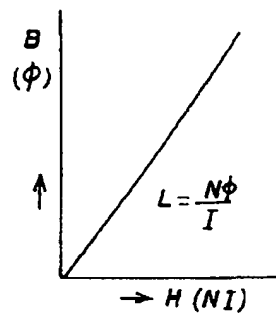
(a) 境界点における動作解析モデル



(b) タイムチャート



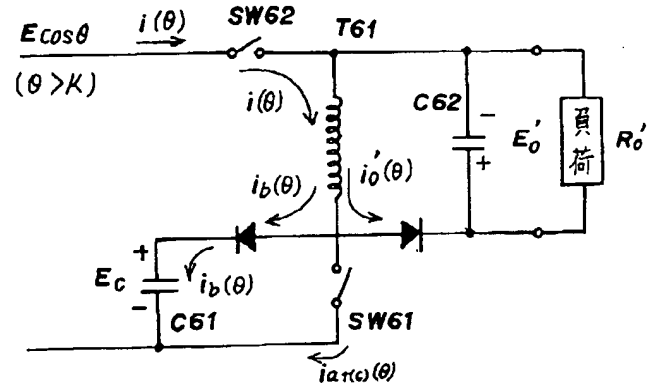
(c) B-Hカーブ



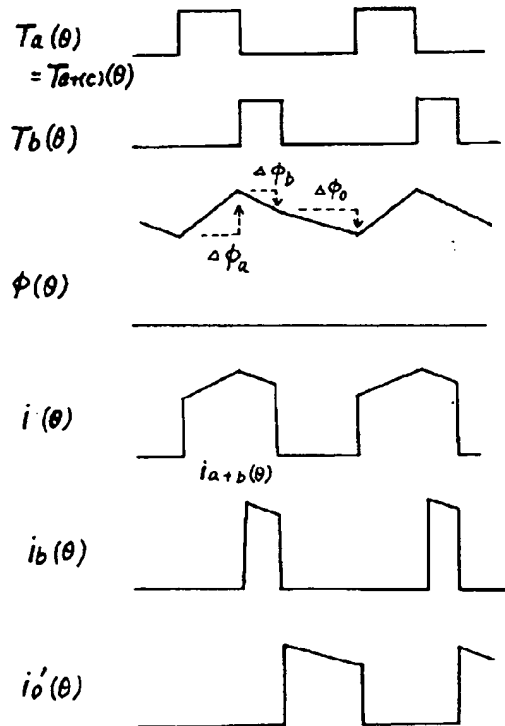
【図11】

【図11】

(a) 電力蓄積領域における動作解析モデル



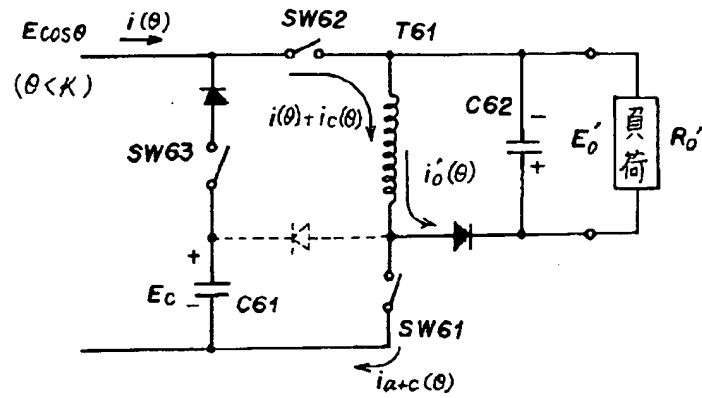
(b) タイムチャート



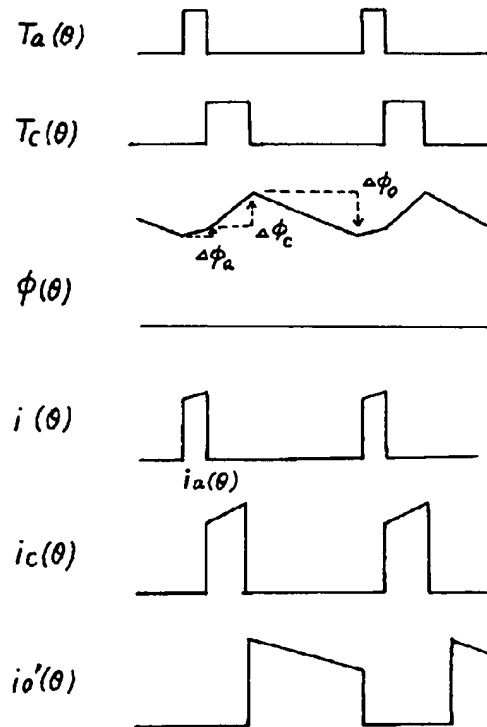
【図12】

【図12】

(a) 電力放出領域における動作解析モデル

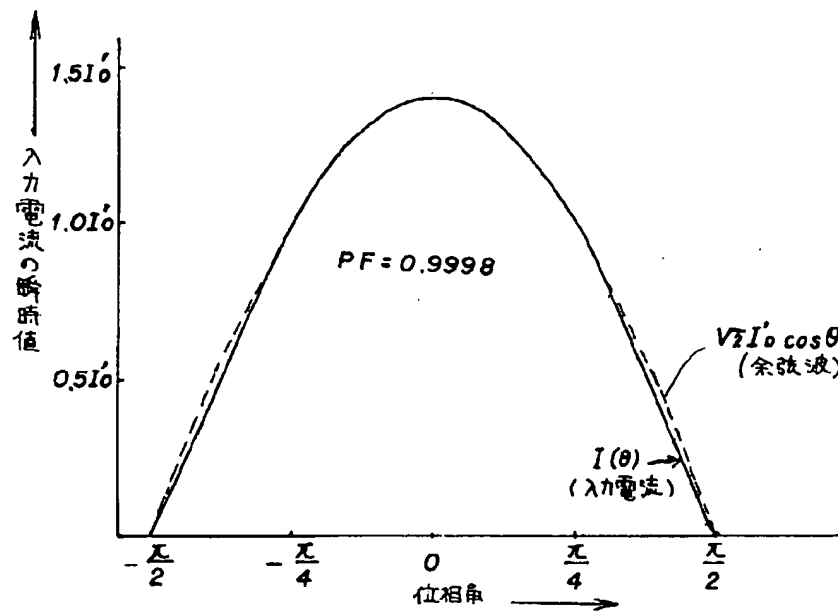
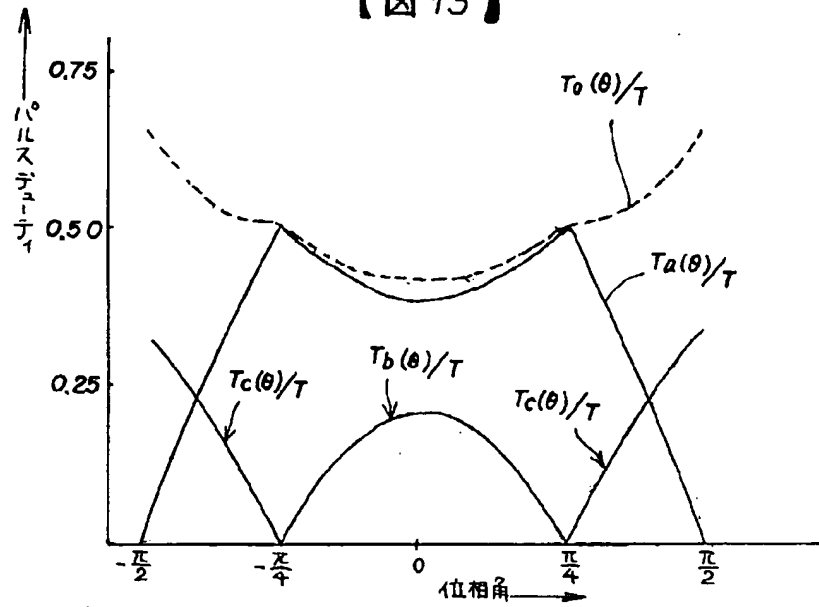


(b) タイムチャート



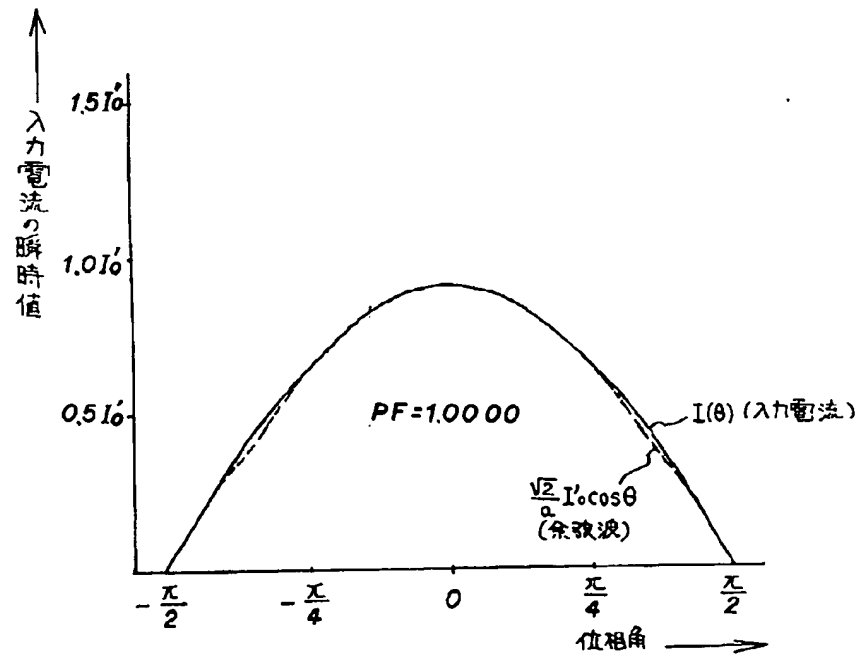
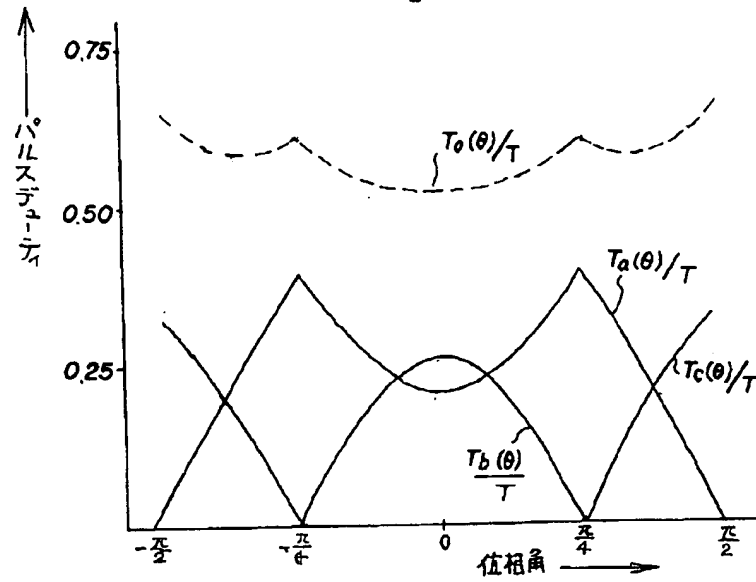
【図13】

【図13】

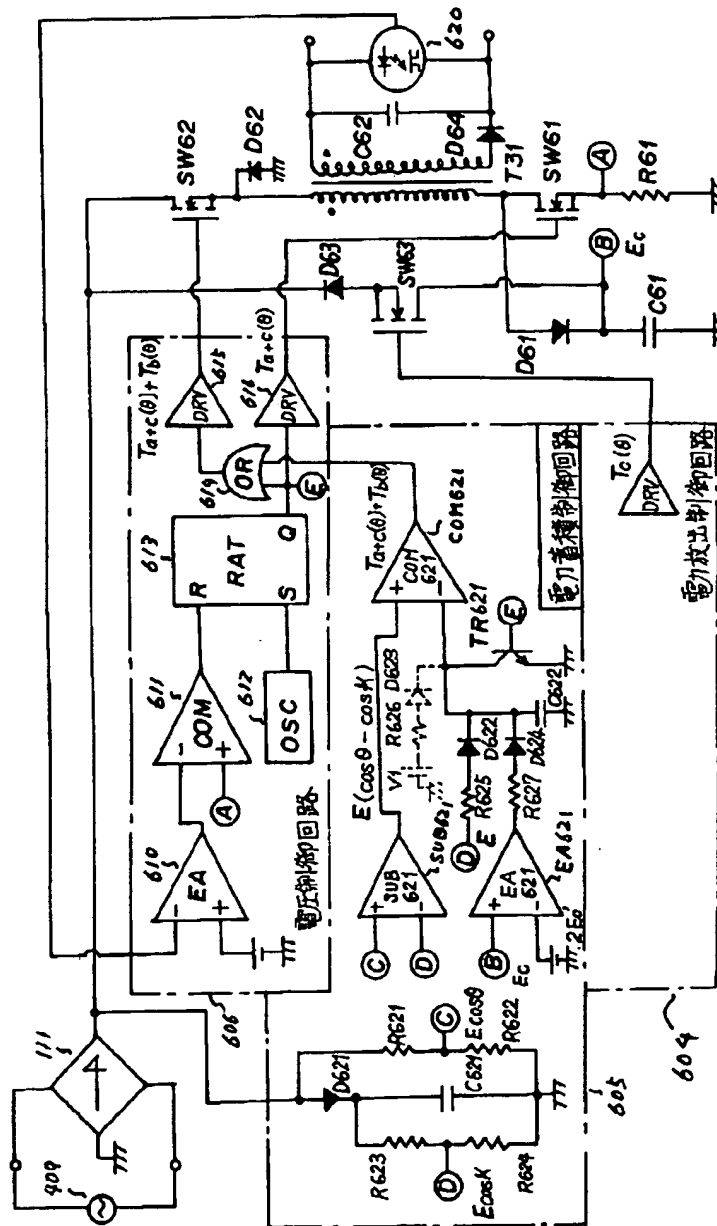


【図14】

【図14】

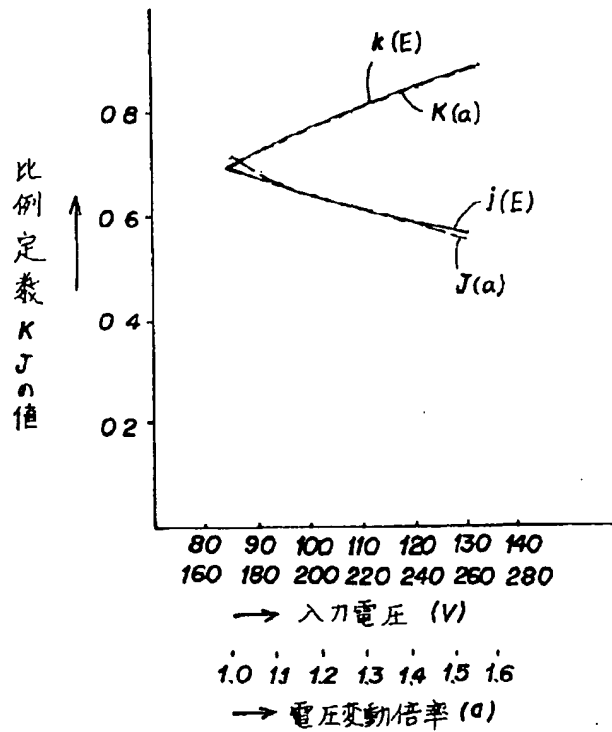


【例 15】



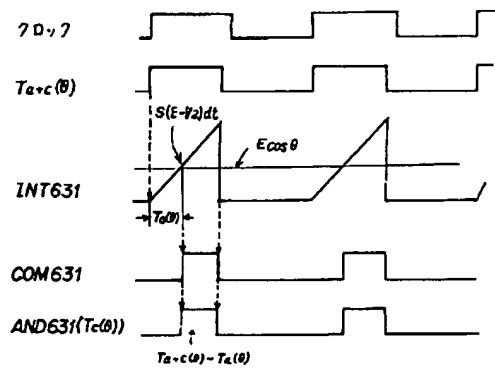
【図17】

【図17】



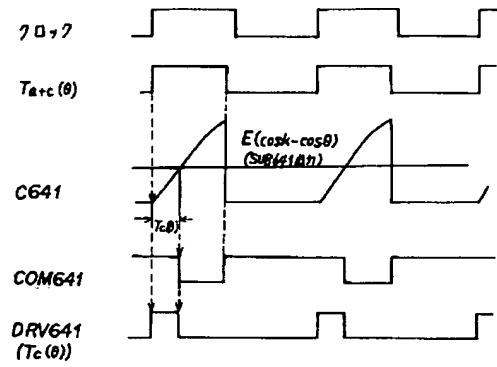
【図19】

【図19】



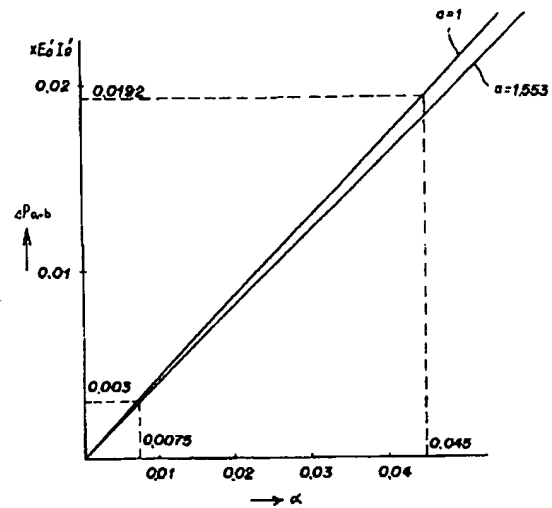
【図25】

【図25】

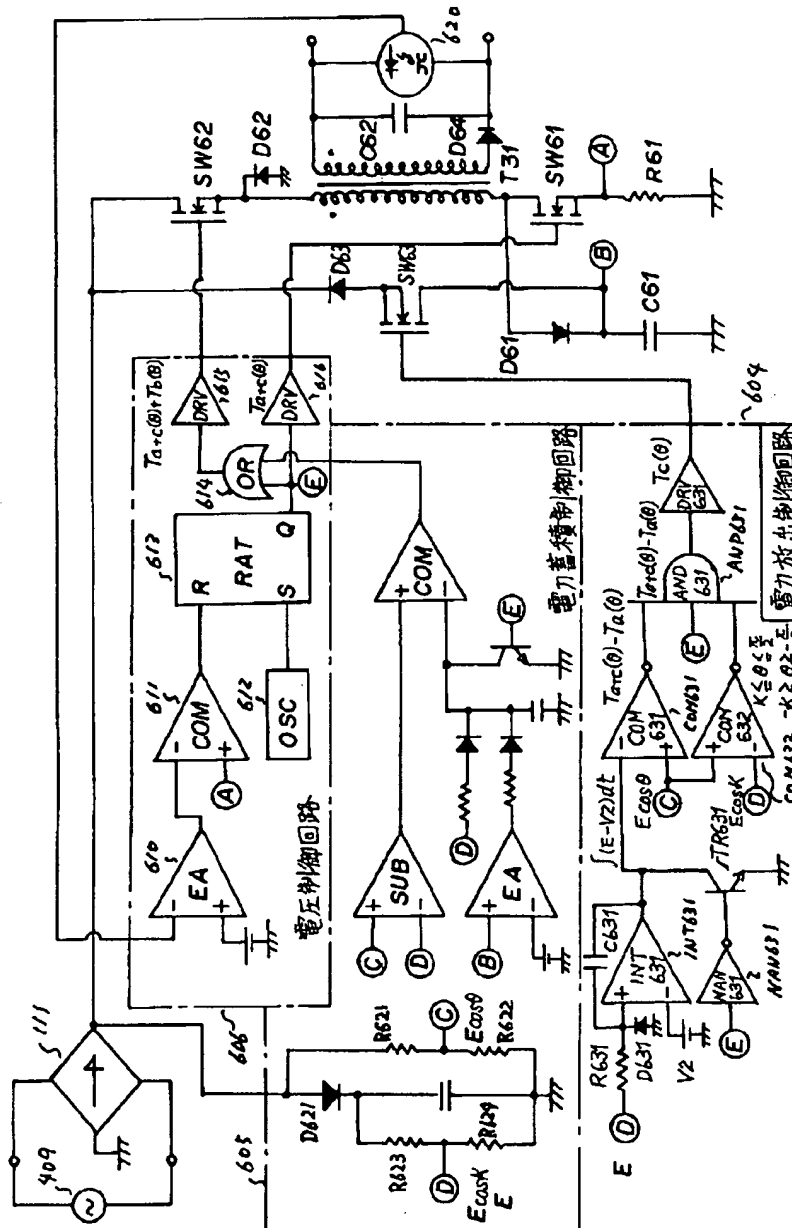


【図21】

【図21】

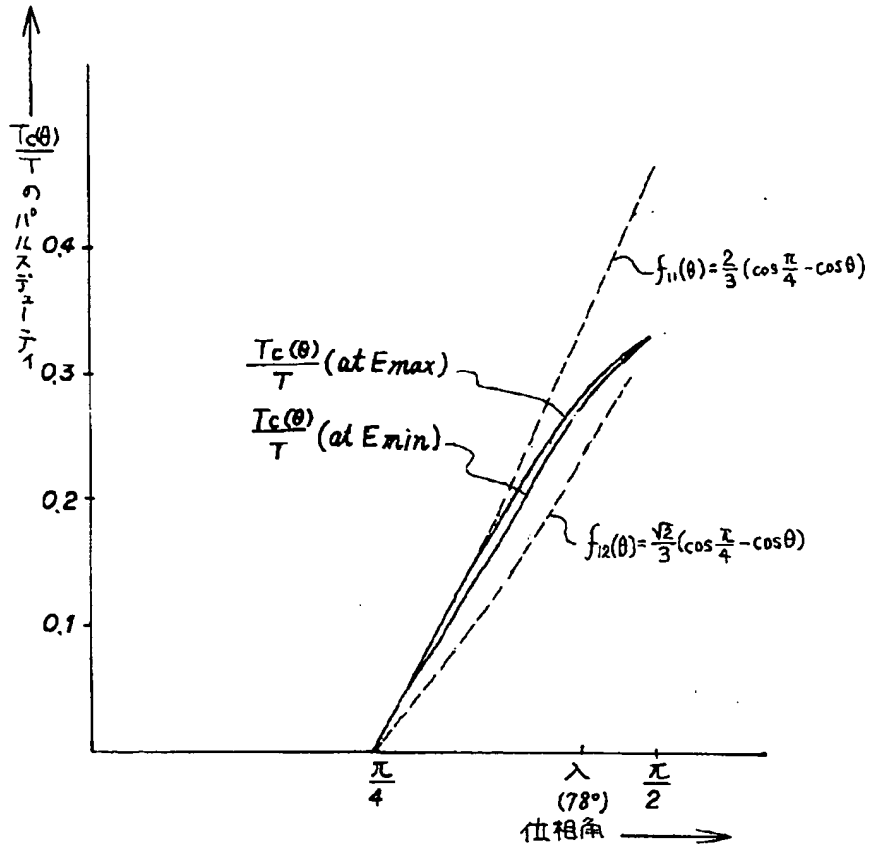


【18】



【図20】

【図20】

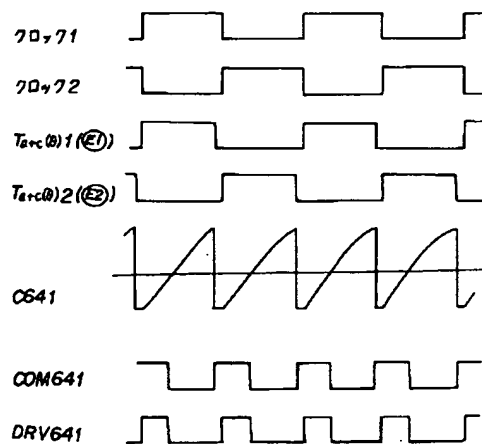
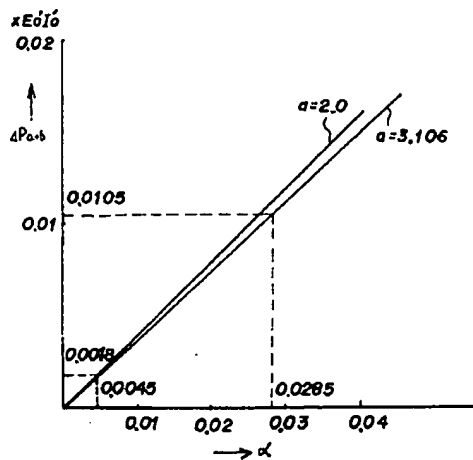


【図28】

【図39】

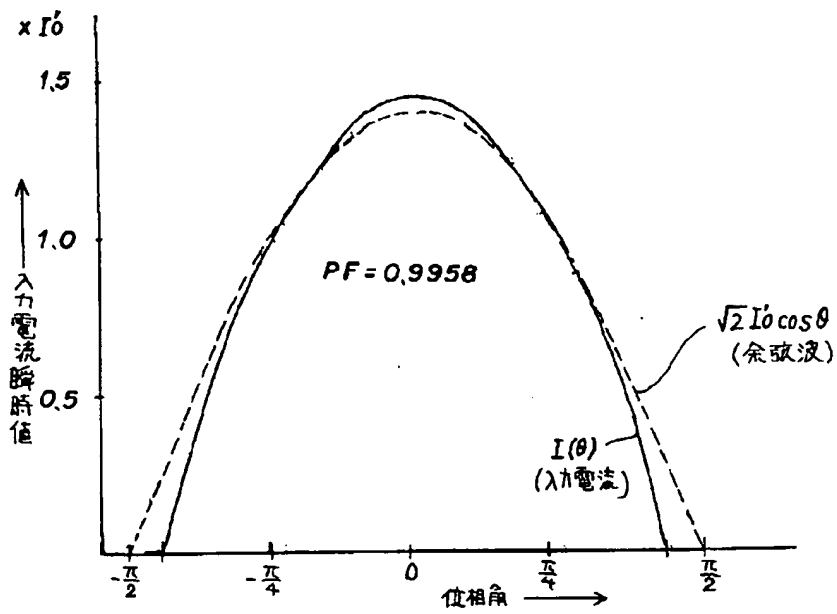
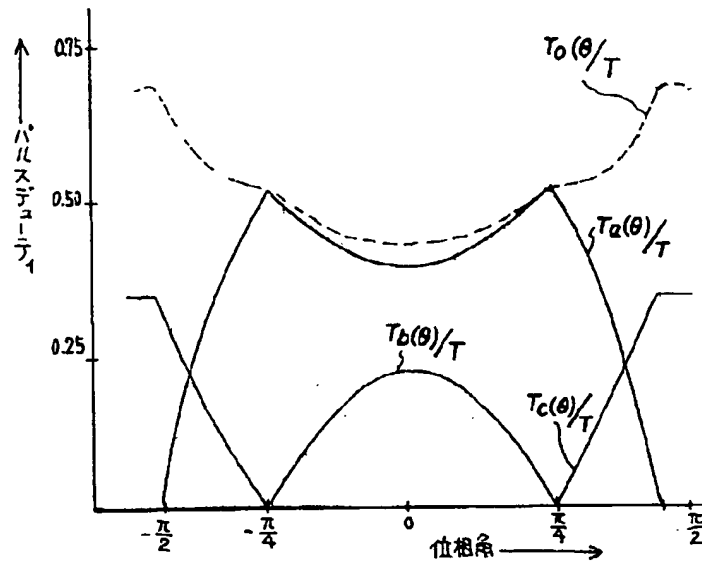
【図28】

【図39】



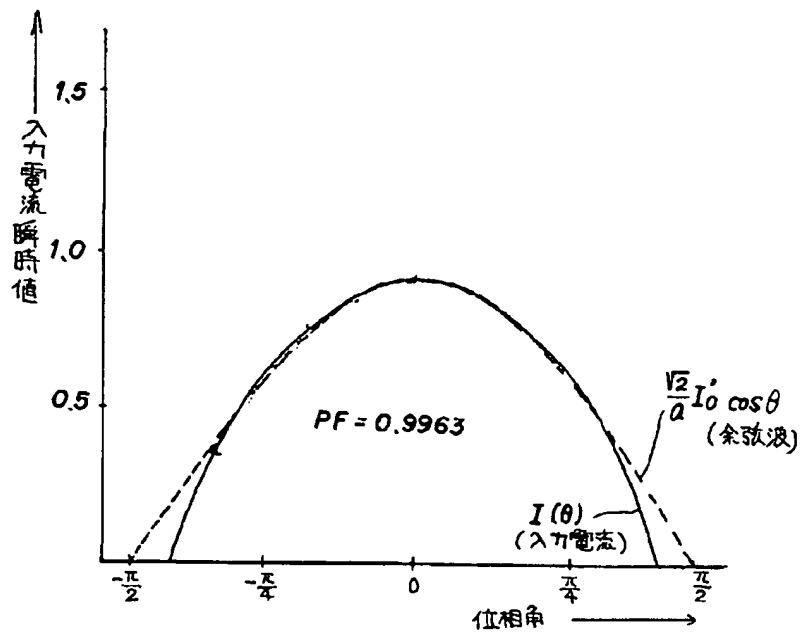
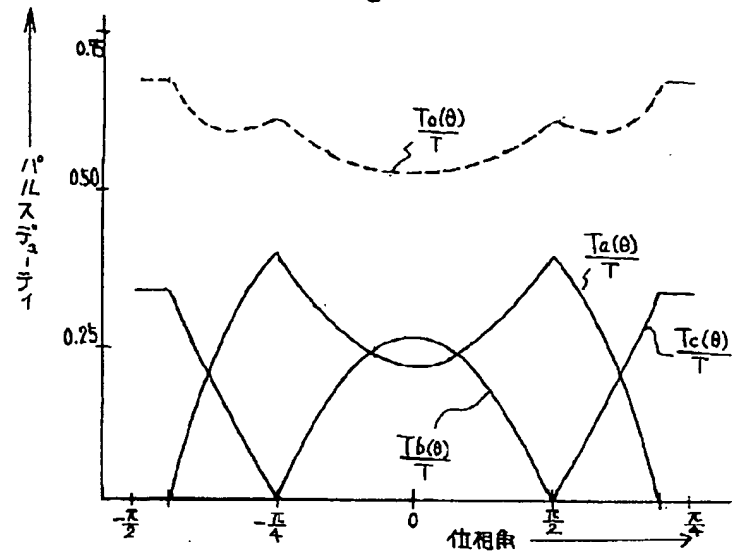
【図22】

【図22】

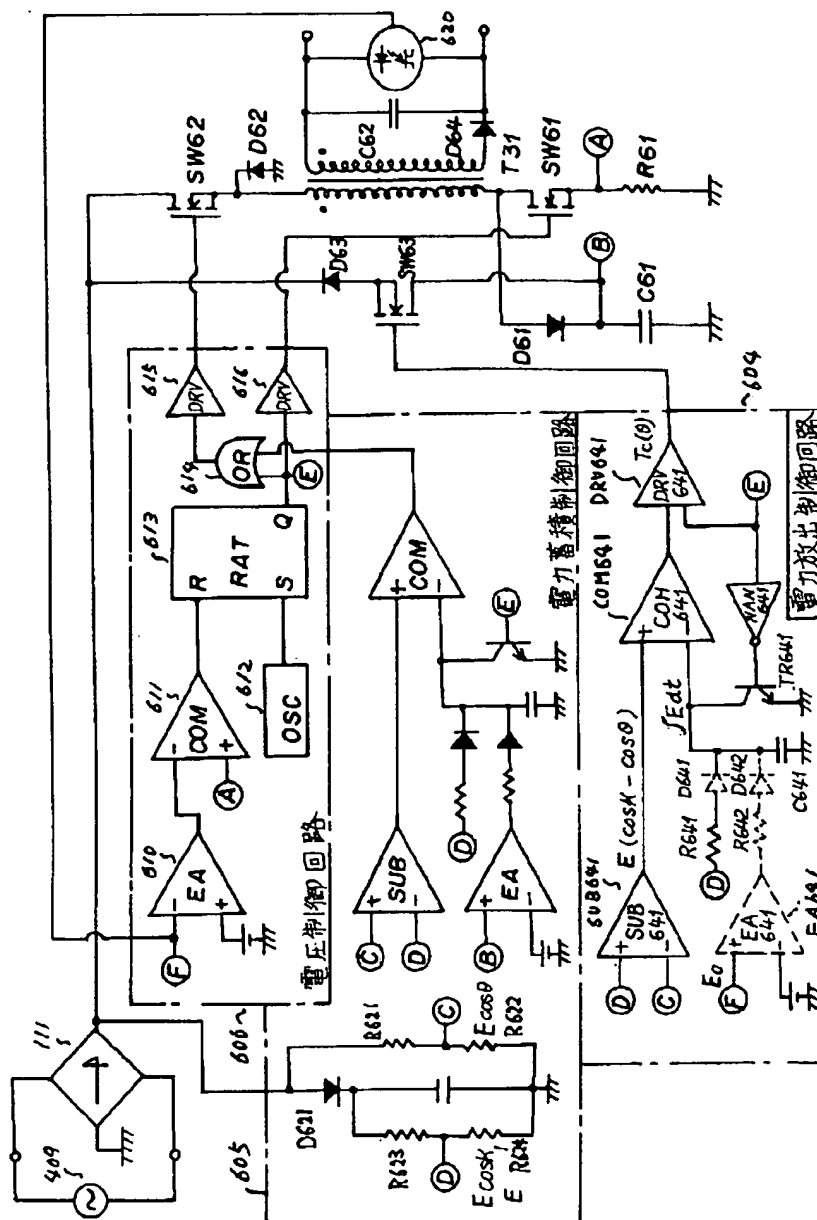


【図23】

【図 23】

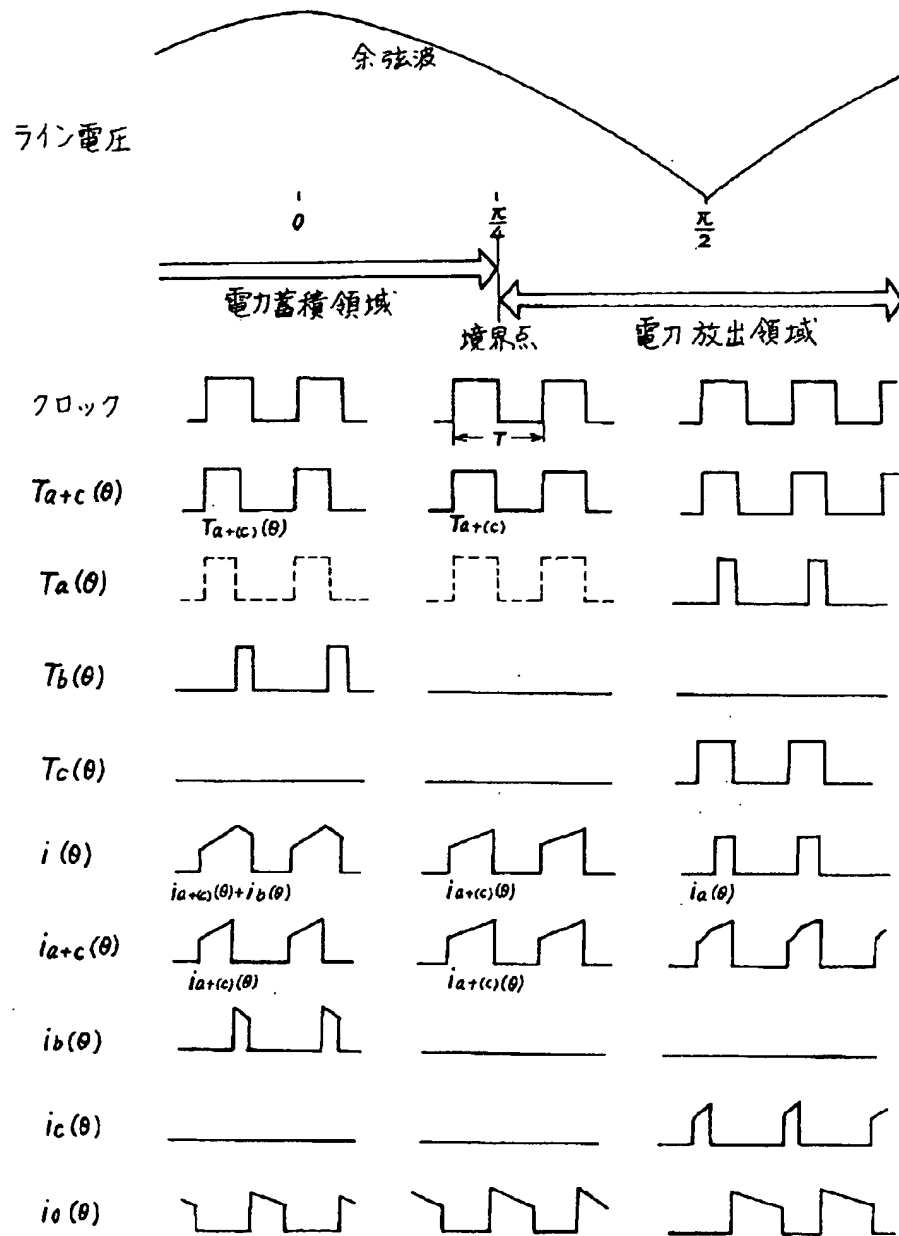


【24】



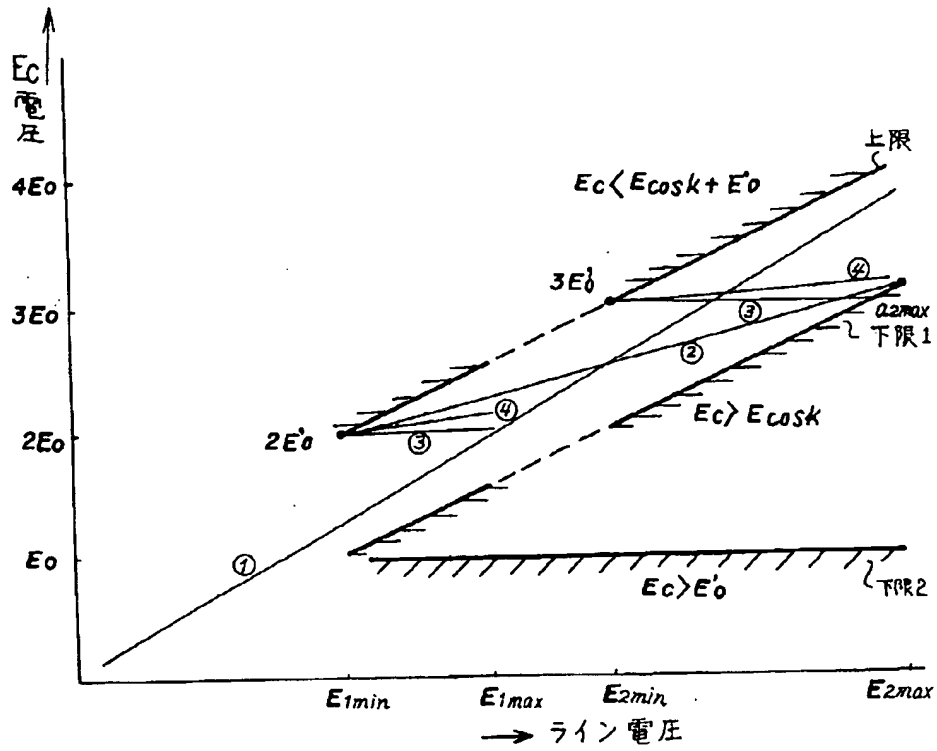
【図26】

【図 26】



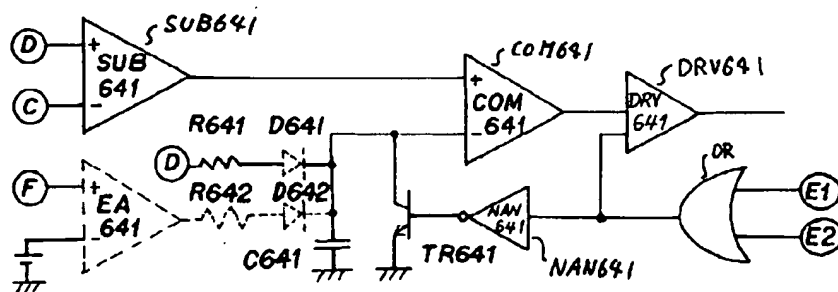
【図27】

【図27】



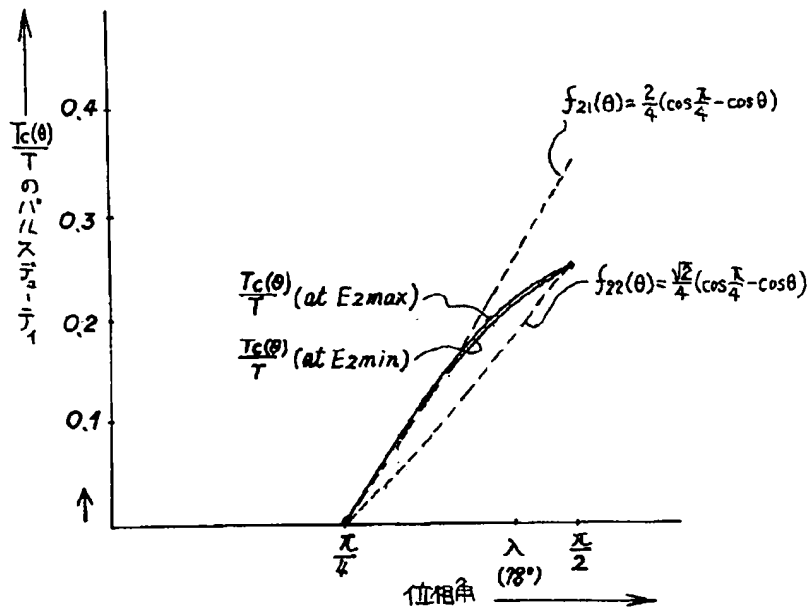
【図38】

【図38】



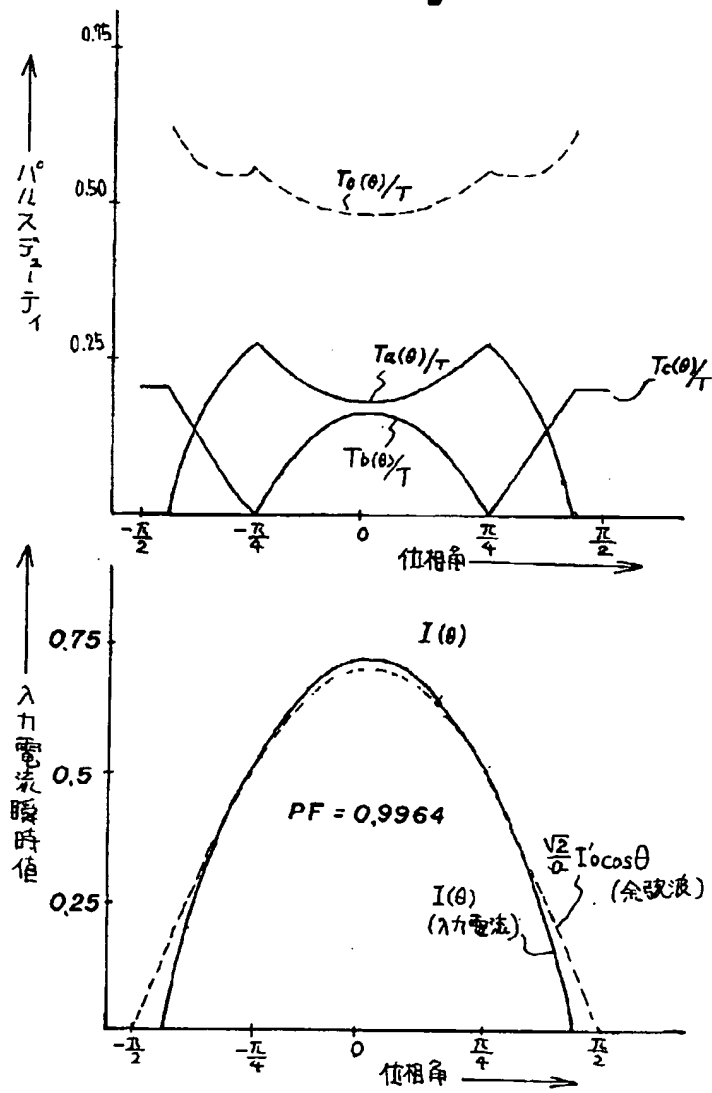
【図29】

【図29】



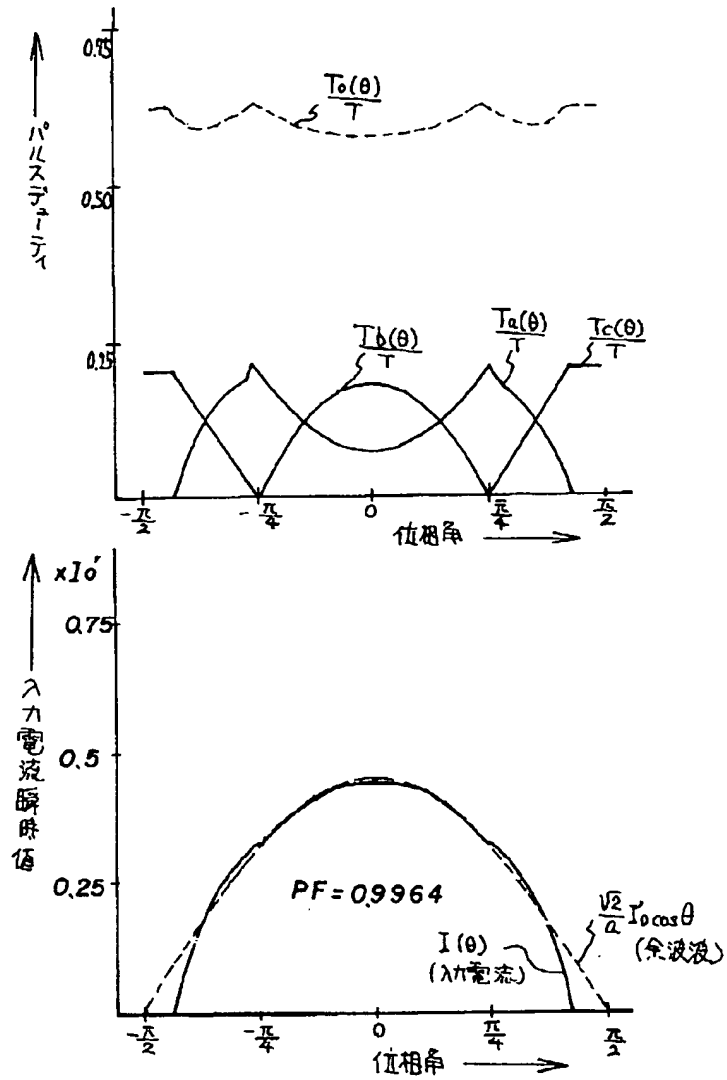
【図30】

【図30】

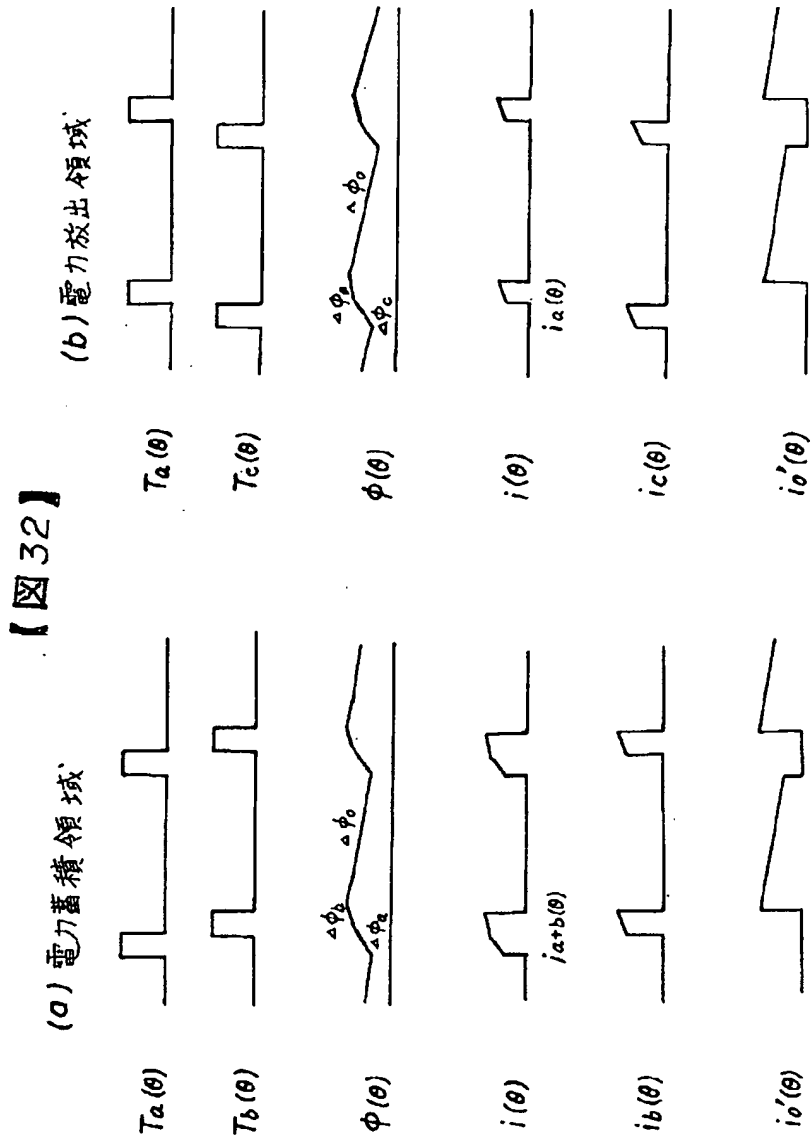


【図31】

【図 31】

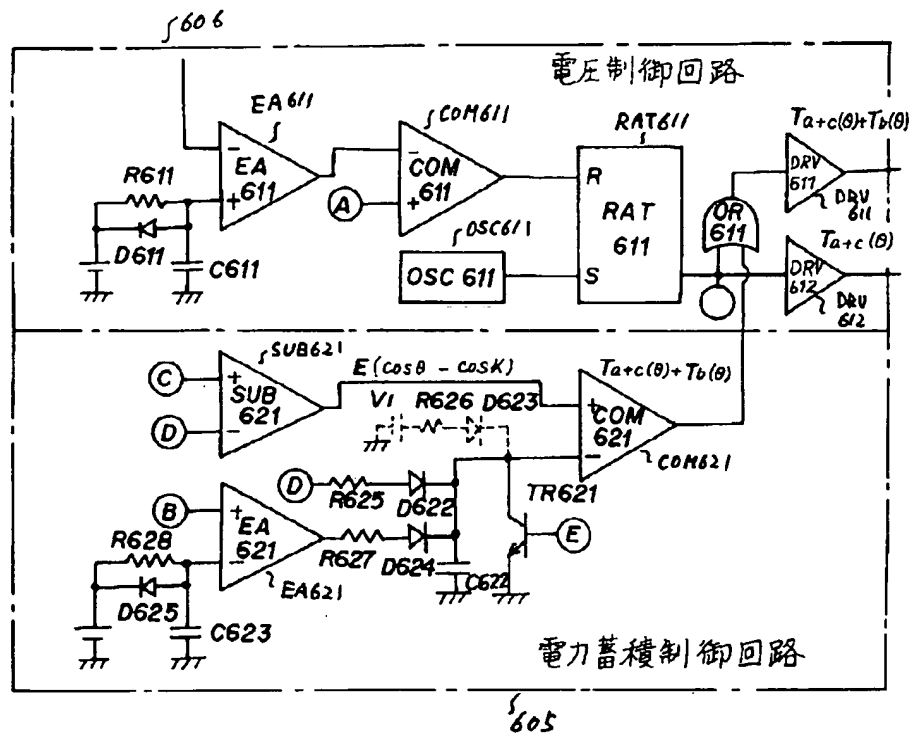


【図32】



【図33】

【図 33】



【図34】

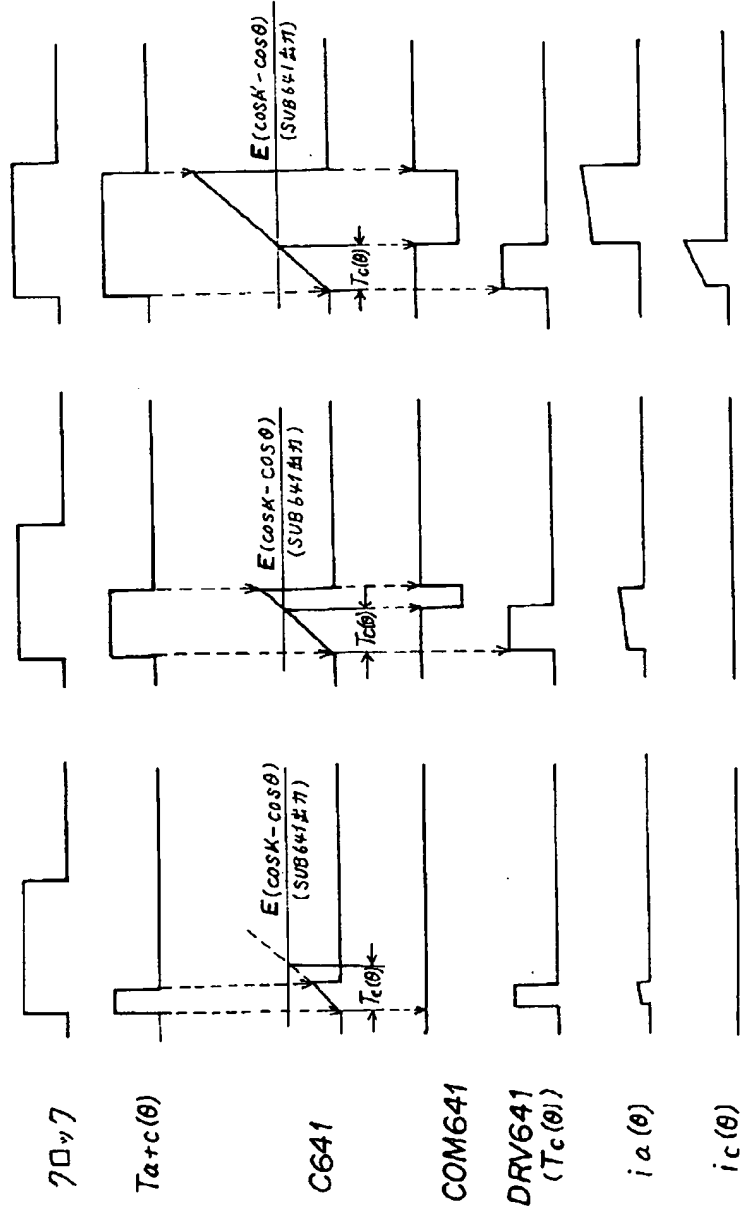
【図34】

$$(b) E_c(t) = \left(\frac{1}{2} \sim \frac{1}{3}\right) k E_0$$

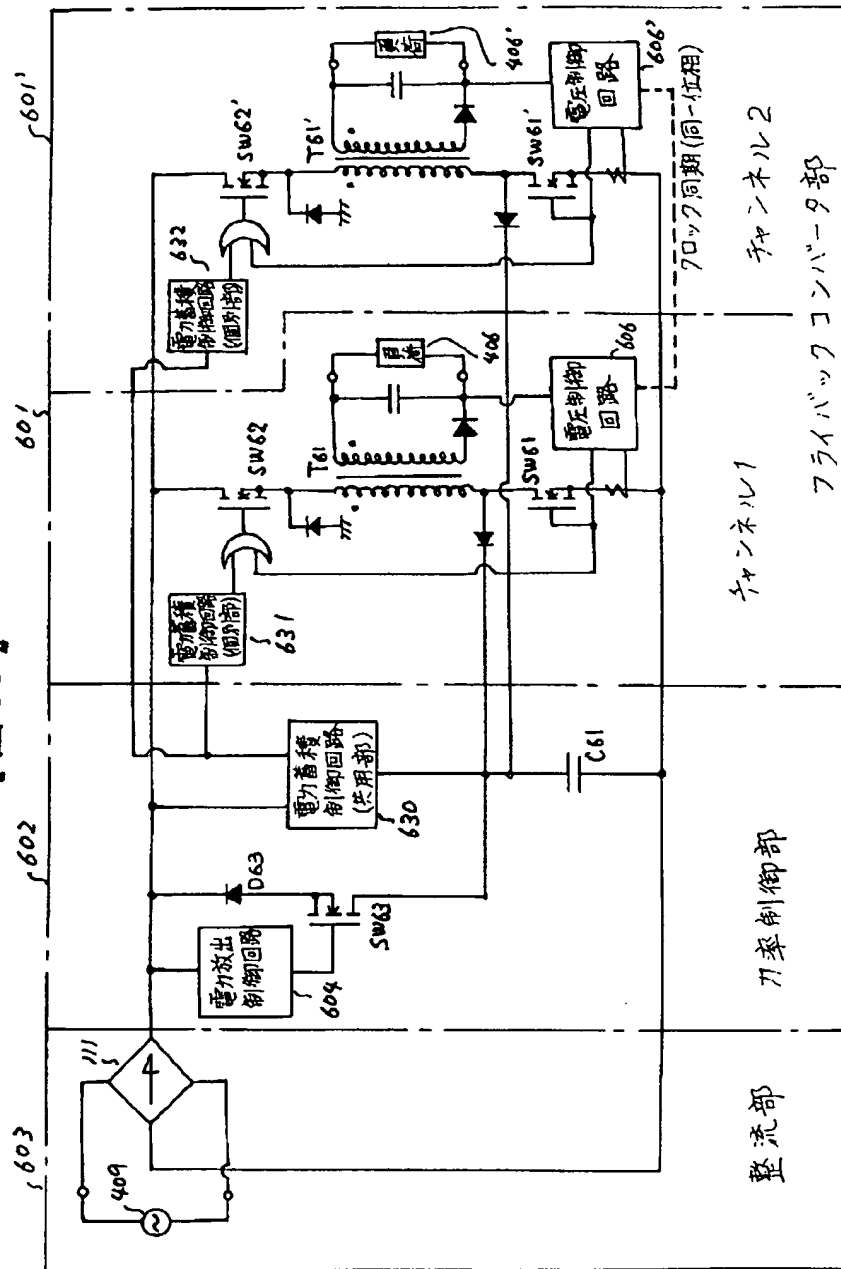
$$(\theta = \pm (K + \frac{\pi}{2}) / 2)$$

$$(a) E_c(t) \ll k E_0$$

$$(c) E_c(t) = k E_0$$

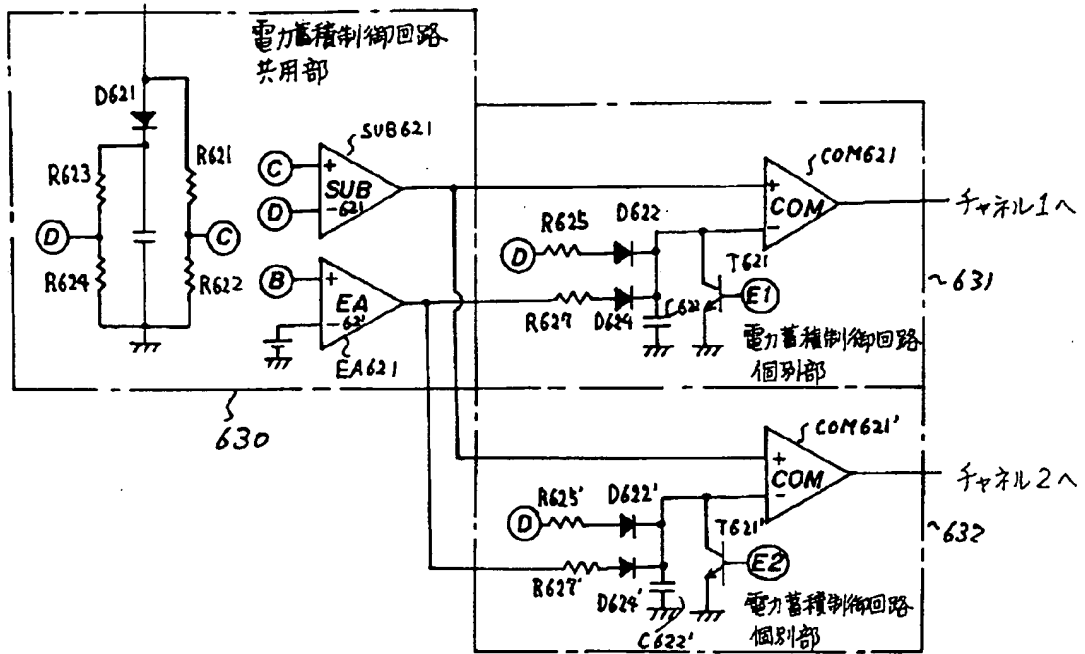


【35】



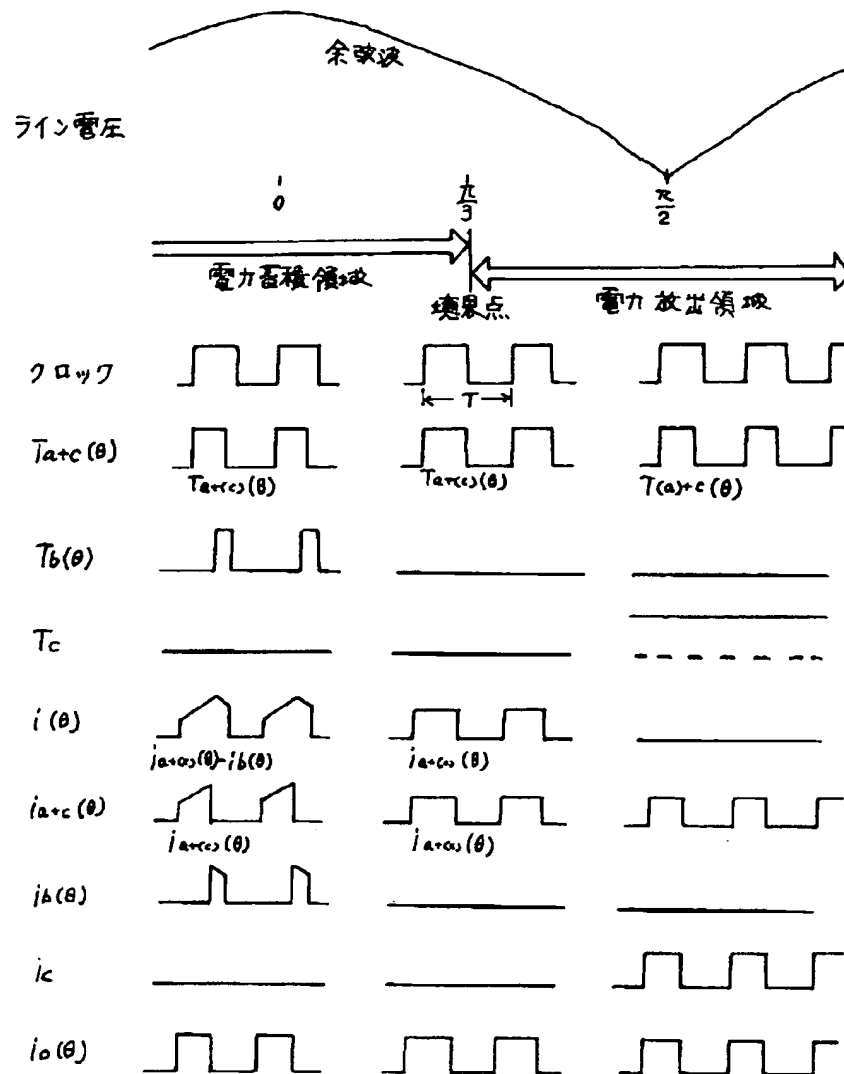
【図36】

【図 36】



【図43】

[図43]



フロントページの続き

(51) Int. Cl.⁶
H02M 7/06

識別記号

FI
H02M 7/06

A

(72) 発明者 横大路 重徳
神奈川県足柄上郡中井町境781 日立コン
ピュータ機器 株式会社内(72) 発明者 石井 広治
神奈川県足柄上郡中井町境781 日立コン
ピュータ機器 株式会社内